

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2518429号

(45)発行日 平成8年(1996)7月24日

(24)登録日 平成8年(1996)5月17日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 1 0	7623-5B	G 0 6 F 12/16	3 1 0 K

請求項の数10(全 16 頁)

(21)出願番号	特願平1-344448	(73)特許権者	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22)出願日	平成1年(1989)12月27日	(72)発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65)公開番号	特開平3-201049	(74)代理人	弁理士 津川 友士
(43)公開日	平成3年(1991)9月2日	審査官	祖父江 栄一

(54)【発明の名称】 メモリ・アクセス方法およびその装置

1

(57)【特許請求の範囲】

【請求項1】複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施した状態で、疑似ノイズの符号長に対応する容量の循環型メモリ手段(12)(13)(14)(21)に書き込み、循環型メモリ手段(12)(13)(14)(21)から読み出した信号と該当する量だけ位相シフトさせた疑似ノイズとの相関を得ることにより元のデータを復元することを特徴とするメモリ・アクセス方法。

【請求項2】複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施した状態で、疑似ノイズの符号長に対応する容量の循環型メモリ手段(12)(13)(14)(21)に書き込み、循環型メモリ手段(12)(1

2

3)(14)(21)から読み出した信号と、各データ毎の重み付け係数および上記疑似ノイズに基づいて得られた時系列符号との相関を得ることにより重み付けされたデータを得ることを特徴とするメモリ・アクセス方法。

【請求項3】複数のデータにより、各データ毎の重み付け係数と自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズとに基づいて得られた時系列符号に対して変調を施した状態で、疑似ノイズの符号長に対応する容量の循環型メモリ手段(12)(13)(14)(21)に書き込み、循環型メモリ手段(12)(13)(14)(21)から読み出した信号と該当する量だけ位相シフトさせた疑似ノイズとの相関を得ることにより重み付けされたデータを得ることを特徴とするメモリ・アクセス方法。

【請求項4】複数のデータが、新たに書き込むべきデー

10

タと既書き込まれているデータとの差分であり、循環型メモリ手段(12)(13)(14)(21)への書き込み時に、既に循環型メモリ手段(12)(13)(14)(21)に書き込まれている内容と重畳する上記特許請求の範囲第1項から第3項の何れかに記載のメモリ・アクセス方法。

【請求項5】疑似ノイズが、データ数よりも長い符号長のm-系列符号である上記特許請求の範囲第1項から第4項の何れかに記載のメモリ・アクセス方法。

【請求項6】複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施す変調手段(2)と、変調信号を重畳する重畳手段(11)と、重畳信号をシーケンシャルに格納する、疑似ノイズの符号長と等しい容量の循環型メモリ手段(12)(13)(14)(21)と、循環型メモリ手段(12)(13)(14)(21)に格納されている重畳信号と該当する疑似ノイズとの相互相関を得て読み出しデータとして出力する相関手段(31)(32)(33)(34)(35)(37)(41)(42)(43)とを含むことを特徴とするメモリ・アクセス装置。

【請求項7】複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施す変調手段(2)と、変調信号を重畳する重畳手段(11)と、重畳信号をシーケンシャルに格納する、疑似ノイズの符号長と等しい容量の循環型メモリ手段(12)(13)(14)(21)と、循環型メモリ手段(12)(13)(14)(21)に格納されている重畳信号と、各データ毎の重み付け係数および上記疑似ノイズに基づいて得られた時系列符号との相関を得て読み出しデータとして出力する相関手段(31)(32)(33)(34)(35)(37)(41)(42)(43)とを含むことを特徴とするメモリ・アクセス装置。

【請求項8】複数のデータより、各データ毎の重み付け係数と自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズとに基づいて得られた時系列符号に対して変調を施す変調手段(2)と、変調信号を重畳する重畳手段(11)と、重畳信号をシーケンシャルに格納する、疑似ノイズの符号長と等しい容量の循環型メモリ手段(12)(13)(14)(21)と、循環型メモリ手段(12)(13)(14)(21)に格納されている重畳信号と該当する疑似ノイズとの相互相関を得て読み出しデータとして出力する相関手段(31)(32)(33)(34)(35)(37)(41)(42)(43)とを含むことを特徴とするメモリ・アクセス装置。

【請求項9】重畳手段(11)が、変調信号および既に循環型メモリ手段(12)(13)(14)(21)に格納されている信号を重畳するものである上記特許請求の範囲第6項から第8項の何れかに記載のメモリ・アクセス装置。

【請求項10】疑似ノイズが、データ数よりも長い符号長のm-系列符号である上記特許請求の範囲第6項から

第9項の何れかに記載のメモリ・アクセス方法。

【発明の詳細な説明】

<産業上の利用分野>

この発明はメモリ・アクセス方法およびその装置に関する、さらに詳細に言えば、複数のデータのそれぞれをメモリの所定範囲に電気的に拡散させ、かつ重畳させて格納する新規な方法およびその装置に関する。

<従来の技術、および発明が解決しようとする課題>

従来からコンピュータ・システム、ロボット制御システム等、種々の分野において多量のデータを格納する要求に応ずるためにメモリ、およびメモリ・アクセス装置が使用されている。

上記メモリとしては、大きな記憶容量が簡単に達成できること、データの書き込み、読み出し、消去が簡単に行なえること等の利点に着目して、一般的に磁気テープ、磁気ディスク、磁気バブル・メモリに代表される磁気的メモリと、バケット・ブリゲート・デバイス、チャージ・カプルド・デバイスに代表される半導体メモリとが広く採用されている。

これらのメモリに対するデータの格納方式は、特定の番地に特定のデータを格納する方式であるから、格納するデータ量が増加すれば、所望のデータを読み出すための平均検索時間が長くなり、システム全体としての処理速度が低下するという問題がある。また、特定のデータは特定の番地のみに格納されているのであるから、何らかの原因によりメモリの一部が破壊されてしまうと該当部分のデータを復元することができないという問題もある。この問題に対処する目的で、一連のデータの一部のみが損なわれた場合に、損なわれた部分を復元するために誤り訂正符号を付加しておくことが知られているが、訂正可能なビット数を増加させようとするれば、誤り訂正符号の符号長が長くなり、格納可能なデータ量が減少するとともに、誤り訂正処理が複雑化してシステム全体としての処理速度が低下するという不都合がある。

また、多量のデータを光学的にフーリエ変換し、ホログラムとして記録するホログラム・メモリも提案されている。このホログラム・メモリを採用すれば、記録情報の冗長度を増加させることができるので、部分的な破壊が生じた場合でもかなりの精度で元のデータを再現できるのであるが、大出力のレーザ光源が必要になるのみならず、光信号と電気信号との変換回路が必要になるため、全体として構成が複雑化するとともに、コストアップを招いてしまうという問題がある。

<発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、複数のデータのそれぞれをメモリの所定範囲に電気的に拡散させ、かつ重畳させて格納することができる新規なメモリ・アクセス方法およびその装置を提供することを目的としている。

50 <課題を解決するための手段>

上記の目的を達成するための、この発明のメモリ・アクセス方法は、複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施した状態で、疑似ノイズの符号長に対応する容量の循環型メモリ手段に書き込み、循環型メモリ手段から読み出した信号と該当する量だけ位相シフトさせた疑似ノイズとの相関を得ることにより元のデータを復元する方法である。

第2の発明のメモリ・アクセス方法は、複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施した状態で、疑似ノイズの符号長に対応する容量の循環型メモリ手段に書き込み、循環型メモリ手段から読み出した信号と、各データ毎の重み付け係数および上記疑似ノイズに基づいて得られた時系列符号との相関を得ることにより重み付けされたデータを得る方法である。

第3の発明のメモリ・アクセス方法は、複数のデータにより、各データ毎の重み付け係数と自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズとに基づいて得られた時系列符号に対して変調を施した状態で、疑似ノイズの符号長に対応する容量の循環型メモリ手段に書き込み、循環型メモリ手段から読み出した信号と該当する量だけ位相シフトさせた疑似ノイズとの相関を得ることにより重み付けされたデータを得る方法である。

これらの場合において、複数のデータが、新たに書き込むべきデータと既に書き込まれているデータとの差分であり、循環型メモリ手段への書き込み時に、既に循環型メモリ手段に書き込まれている内容と重疊することが好ましい。

また、疑似ノイズが、データ数よりも長い符号長の m -系列符号であることが好ましい。

上記の目的を達成するための、この発明のメモリ・アクセス装置は、複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施す変調手段と、変調信号を重疊する重疊手段と、重疊信号をシーケンシャルに格納する、疑似ノイズの符号長と等しい容量の循環型メモリ手段と、循環型メモリ手段に格納されている重疊信号と該当する疑似ノイズとの相互相関を得て読み出しデータとして出力する相関手段とを含んでいる。

第7の発明のメモリ・アクセス装置は、複数のデータにより、自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズに対して変調を施す変調手段と、変調信号を重疊する重疊手段と、重疊信号をシーケンシャルに格納する、疑似ノイズの符号長と等しい容量の循環型メモリ手段と、循環型メモリ手段に格納されている重疊信号と、各データ毎の重み付け係数および上記疑似ノイズに基づいて得られた時系列符号との相関を得て読み出しデータとして出力する相関手段

とを含んでいる。

第8の発明のメモリ・アクセス装置は、複数のデータにより、各データ毎の重み付け係数と上記疑似ノイズに基づいて得られた時系列符号に対して変調を施す変調手段と、変調信号を重疊する重疊手段と、重疊信号をシーケンシャルに格納する、疑似ノイズの符号長と等しい容量の循環型メモリ手段と、循環型メモリ手段に格納されている重疊信号と該当する疑似ノイズとの相互相関を得て読み出しデータとして出力する相関手段とを含んでいる。

これらの場合において、重疊手段としては、変調信号および既に循環型メモリ手段に格納されている信号を重疊するものであることが好ましい。

また、疑似ノイズとしては、データ数よりも長い符号長の m -系列符号であることが好ましい。

<作用>

以上のメモリ・アクセス方法であれば、各データで該当する位相シフト量の変調用疑似ノイズを変調することによりデータを拡散させることができ、しかも全ての変調信号を重疊することにより、疑似ノイズの符号長に対応する容量の循環型メモリ手段に全てのデータを書き込むことができる。そして、循環型メモリ手段から読み出した信号と該当する量だけ位相シフトさせた疑似ノイズとの相関を得ることにより元のデータを復元することができる。

第2の発明のメモリ・アクセス方法であれば、循環型メモリ手段から読み出した信号と、各データ毎の重み付け係数および上記疑似ノイズに基づいて得られた時系列符号との相関を得ることにより重み付けされたデータを得ることができる。

第3の発明のメモリ・アクセス方法であれば、各データで、各データ毎の重み付け係数と自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズとに基づいて得られた時系列符号を変調することにより、重み付けされたデータを拡散させることができ、しかも全ての変調信号を重疊することにより、疑似ノイズの符号長に対応する容量の循環型メモリ手段に全ての重み付けされたデータを書き込むことができる。そして、循環型メモリ手段から読み出した信号と該当する量だけ位相シフトさせた疑似ノイズとの相関を得ることにより重み付けされたデータを復元することができる。

以上の構成のメモリ・アクセス装置であれば、各データに基づいて変調手段により該当する位相シフト量の疑似ノイズに対して変調を施し、重疊手段により変調信号を重疊して循環型メモリ手段にシーケンシャルに格納する。そして、循環型メモリ手段に格納されている重疊信号を読み出して、相関手段により該当する疑似ノイズとの相互相関を得ることにより元のデータを復元し、読み出しデータとして出力することができる。

第7の発明のメモリ・アクセス装置であれば、関連手段により、循環型メモリ手段から読み出した信号と、各データ毎の重み付け係数および上記疑似ノイズに基づいて得られた時系列符号との相関を得ることにより重み付けされたデータを得ることができる。

第8の発明のメモリ・アクセス装置であれば、各データに基づいて変調手段により、各データ毎の重み付け係数と自己相関特性が強い疑似ノイズを互に異なる量だけ位相シフトさせた変調用疑似ノイズとに基づいて得られた時系列符号に対して変調を施し、重畳手段により変調信号を重畳して循環型メモリ手段にシーケンシャルに格納する。この結果、重み付けがなされたデータを重畳して循環型メモリ手段に格納できる。そして、循環型メモリ手段に格納されている重畳信号を読み出して、関連手段により該当する疑似ノイズとの相互相関を得ることにより重み付けがなされたデータを復元し、読み出しデータとして出力することができる。

これらの場合において、複数のデータが、新たに書き込むべきデータと既書き込まれているデータとの差分であり、循環型メモリ手段への書き込み時に、既に循環型メモリ手段に書き込まれている内容と重畳するようにしてあれば、単に差分を書き込みデータとして設定するだけでよく、データの変更を簡単に達成できる。

また、疑似ノイズが、 m -系列符号である場合には、所望の符号長の m -系列符号を簡単に得ることができる。但し、この場合には、データ数よりも長い符号長の m -系列符号でなければならない。

さらに詳細に説明すると、 m -系列符号とは、ある長さの段数を有するシフト・レジスタ、または遅延素子により構成される帰還型符号発生器で発生できる符号のうち最も長い符号系列であり、最大周期系列または最長系列とも呼ばれている。この m -系列符号は1進符号の形をとり得るが、2進符号を例にとれば、

① 系列の1周期での“1”の出現回数と“0”の出現回数とは1ビットの差しかない。即ち、 $2^n - 1$ ビット長の m 系列符号であれば、“1”の出現回数が 2^{n-1} 回であり、“0”の出現回数が $2^{n-1} - 1$ 回である。具体的には、 $n = 3$ の場合を考えれば、“1011100”のように“1”の出現回数が1回だけ多くなる。

② “0”“1”の統計的分布は一定である。そして、連なりの相対的位置は符号系列毎に異なるが、各長さの連なりの出現回数は同じ長さの系列では一定である。

③ m 系列符号の自己相関は、0ビット・シフトに対しては $2^n - 1$ （系列長と等しい）であり、 0 ± 1 の範囲のビット・シフト部分を除いて -1 である（これらは一致している部分の個数をカウントすることにより得られるのであり、 -1 は不一致の数一致の数よりも1だけ多いことを示している）。そして、 0 ± 1 の範囲のビット・シフト部分では自己相関値は -1 から $2^n - 1$ まで直線的に変化する。（第9図参照）

④ m 系列符号の位相をシフトしたものと元の系列符号との2を法とする和は元の系列符号を別の大きさだけシフトしたものとなる。

⑤ n 段発生器のとり得る内部状態の全てが符号系列の1周期中のあるクロック時刻に出現する。即ち、各状態は1回だけ、かつ1クロック時間だけ出現する。

という性質を有していることが知られている。即ち、ノイズとは自己相関特性が強く、少しでも位相がずれると相関値が殆ど無視し得る値になることが知られている

10 が、上記 m -系列符号も、符号長が長くなればなるほど上記の性質に近づいてゆくの、疑似ノイズとして使用される。

そして、本件発明者が m -系列符号に代表される疑似ノイズについて鋭意研究を重ねた結果、例えば、 m -系列符号については、符号“0”を“-1”に置換し、同一の m -系列符号の互に位相が異なるものを複数個加算して得られた符号と元の符号との相互相関が個々の m 系列符号と基準 m -系列符号との相互相関の和に等しくなることおよび相互相関のピーク値、最低値は加算する個数に対応して変動するが、ピーク値と最低値との差はビット

20 長に基づいて定まる一定値であることを見出し、この知見に基づいて本件発明を完成させたのである。即ち、例えば、第8図A1に示す基準 m -系列符号（ビット長が $2^3 - 1$ の符号“1011100”）を例にとれば、+1ビット、+2ビット、+4ビットだけ位相シフトさせた m -系列符号はそれぞれ“0101110”“0010111”“1100101”（第8図B1,C1,D1参照）になり、+1ビット、+2ビット、+4

ビットだけ位相シフトさせた m 系列符号を全て加算して得られる符号は第8図E1に示す状態になる。そして、これらと基準 m -系列符号との相互相関をとれば、+1ビ

30 ット、+2ビット、+4ビットだけ位相シフトさせた m 系列符号については、第8図A2に示す自己相関を基準としてそれぞれ+1ビット、+2ビット、+4ビットだけ位相シフトした位置に同じ値のピークが得られる（第8図B2,C2,D2参照）。また、第9図E1に示す符号と基準 m -系列符号との相互相関をとれば、+1ビット、+2ビ

ット、+4ビットずつ位相シフトした位置に、第8図A2よりも低いピークが得られる（第8図E2参照）。第8図E2に示す相互相関のピークの値は5であり、第8図B2,C

2,D2に示す相互相関のピークの値7（ $=2^3 - 1$ ）よりも2だけ小さくなっている。そして、ピークから1ビット以上離れた箇所の値も第8図E2が -3 であり、第8図B

2,C2,D2の -1 と比較して2だけ小さくなっている。即ち、第8図B2,C2,D2の相互相関を単に加算することにより第8図E2と等しい相互相関が得られる。そして、何れの相互相関においても、最大値と最小値との差は8

（ $=2^3$ ）になっている。さらに、0ビットだけ位相シフトしたもののから+6ビットだけ位相シフトしたもののまでを全て加算した場合でも、相互相関のピークの値は1で

あり、1周期のどこをとっても1となる。即ち、ピーク

50

の値自体は加算される系列符号の数に対応して変動するが、ピーク値の符号が負になることはない。

本件発明は上記の知見に基づいて完成されたものであり、各データにより自己相関特性が強い疑似ノイズを所定相だけシフトさせたものを変調し、重畳して循環型メモリ手段に電氣的に分散させて格納することができる。そして、再生したいデータに対応する疑似ノイズを用いて重畳データと相互相関をとり、相互相関の値に基づいて元のデータを再生することができる。また、各データに重み付けを施したデータの格納および再生をも行なうことができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第 1 図はこの発明のメモリ・アクセス装置の一実施例を示すブロック図であり、中間に加算器 (11) を介在させた 2 段のレジスタ (12) (13) および ($2^n - 3$) 段の FIFO メモリ (14) から構成される循環型メモリ (1) にデータを電氣的に分散させて格納し、格納されたデータを読み出すための装置である。尚、(15) はバス・バッファ、(16) は重畳バスである。また、上記レジスタ (12) (13) および FIFO メモリ (14) には共通のタイミング・クロックが供給されている。

書き込むべきデータおよび書き込み用疑似ノイズとしての m -系列符号 $m(t + j - t)$ が乗算器 (2) に供給され、乗算器 (2) からの出力データが上記加算器 (11) に供給されている。そして、読み出し用疑似ノイズとしての m -系列符号 $m(t + j - t)$ が制御信号として供給される演算器 (31) の一方の入力端子 A にレジスタ (12) からの出力データが供給されているとともに、レジスタ (32) の内容が他方の入力端子 I に供給されている。そして、演算器 (31) の出力端子 OP から出力される演算結果を上記レジスタ (32) にフィードバックしており、レジスタ (32) の最上位桁がインバータ (33) を介して再生信号として出力されている。尚、上記演算器 (31) は演算結果を 2 の補数形式で出力するようにしているとともに、 m -系列符号が "1" の場合に $OP = I + A$ の演算を、"0" の場合に $OP = I - A$ の演算を行なうようにしている。また、上記レジスタ (32) は m -系列符号のビット数と等しい回数だけクロック信号が供給される毎に最上位桁が出力されるとともに、0 クリアされるようにしている。

第 2 図は m -系列符号を生成する装置 (9) の一例を示す概略図であり、 j 個のシフト・レジスタ (91) (92) ... (9j) を直列接続しているとともに、出力段のシフト・レジスタからの出力および所定段のシフト・レジスタの出力に基づく排他的論理和演算結果を初段のシフト・レジスタに供給している。但し、シフト・レジスタの段数 j は、 $2^j - 1$ L (書き込みデータ数) となる値であり、しかも $2^j - 1$ 回の周期で同一のビット・パター

ンが繰返すように所定段 (所定のタップ位置) のシフト・レジスタの出力に基づく排他的論理和演算結果を初段のシフト・レジスタの帰還させている。そして、図示していないが、出力段のシフト・レジスタから出力される 2 値データのうち、"0" レベルを "-1" レベルに変換するための変換回路が設けられている。

上記の構成のメモリ・アクセス装置の動作は次のとおりである。

〔I〕 メモリ書き込みアクセス

2 段のレジスタ (12) (13) および ($2^n - 3$) 段の FIFO メモリ (14) から構成される循環型メモリ (1) にデータを書き込む場合には、書き込むべきデータを乗算器 (2) に供給するとともに、書き込み用疑似ノイズとしての m -系列符号 $m(t + j - T)$ を乗算器 (2) に供給すればよく、乗算器 (2) からの出力データとレジスタ (12) からの出力データとが加算器 (11) により加算されてレジスタ (13) に供給される。尚、このとき、レジスタ (13) に保持されていたデータは FIFO メモリ (14) の初段に供給され、FIFO メモリ (14) に保持されていたデータは 1 段ずつシフトされ、FIFO メモリ (14) の最終段に保持されていたデータはバス・バッファ (15) を通してレジスタ (12) に供給される。そして、 m -系列符号の 1 周期分だけ上記動作を反復することにより、($2^n - 1$) ビットに拡散された状態でデータを書き込むことができる。

また、複数のデータを書き込む場合には、位相シフト量が異なる m -系列符号を用いて上記と同じ動作を行えばよく、複数のデータがそれぞれ ($2^n - 1$) ビットに拡散され、かつ重畳された状態で書き込まれる。

具体的には、例えば 4 つの 2 値論理入力 "1" "1" "0" "1" を順次書き込む場合には、基準 m -系列符号 "1 - 1111 - 1 - 1" を順次 1 ビットずつ位相シフトさせた m -系列符号 " - 11 - 1111 - 1" " - 1 - 11 - 1111" " 1 - 1 - 11 - 111" " 11 - 1 - 11 - 11" をそれぞれのデータに対応させて乗算器 (2) に供給する。したがって、まず、乗算器 (2) から " - 11 - 1111 - 1" が出力され、レジスタ (12) (13) および FIFO メモリ (14) に書き込まれる。次に乗算器 (2) から " - 1 - 11 - 1111" が出力され、レジスタ (12) (13) および FIFO メモリ (14) に書き込まれるのであるから、レジスタ (12) (13) および FIFO メモリ (14) の内容は " - 2000220" となる。次に乗算器 (2) から " 0000000" が出力され、レジスタ (12) (13) および FIFO メモリ (14) に書き込まれるのであるから、レジスタ (12) (13) および FIFO メモリ (14) の内容は " - 2000220" となる。最後に乗算器 (2) から " 11 - 1 - 11 - 11" が出力され、レジスタ (12) (13) および FIFO メモリ (14) に書き込まれるのであるから、レジスタ (12) (13) および FIFO メモリ (14) の内容は " - 11 - 1 - 1311" となる。

〔II〕 メモリ読み出しアクセス

2 段のレジスタ (12) (13) および (2ⁿ - 3) 段の FIF0メモリ (14) から構成される循環型メモリ (1) からデータを読み出す場合には、レジスタ (12) からの出力データが演算器 (31) に供給されているので、読み出すべきデータに対応する位相シフト量の m - 系列符号 m (t + j - T) を演算器 (31) に対して制御信号として供給することにより該当するデータのみを再生することができる。

具体的には、上記具体例で示すように、レジスタ (12) (13) および FIF0メモリ (14) の内容が “ - 11 - 1 - 1311” であれば、1 ビットだけ位相シフトが施された m - 系列符号 “ 0101110” を制御信号として演算器 (31) に供給することにより、

$$\begin{aligned}
 0 - (-1) &= 1 \\
 1 + 1 &= 2 \\
 2 - (-1) &= 3 \\
 3 + (-1) &= 2 \\
 2 + 3 &= 5 \\
 5 + 1 &= 6 \\
 6 - 1 &= 5
 \end{aligned}$$

の演算が順次行なわれ、最終的に得られた値 5 の最上位ビット “0” がレジスタ (32) から出力されるのであるが、この最上位ビットはインバータ (33) に供給されるので “1” に変換され、元の 2 値論理入力 “1” が再生される、他の 2 値論理入力についてもそれぞれ 2 ビット、3 ビット、4 ビットだけ位相シフトが施された m - 系列符号を用いて同様の演算を行なうことにより再生できる。

尚、この実施例において、バス・バッファ (15) をディスプレイ状態としておくことにより重畳バス (16) を通してデータ入力を行なうことができる。また、バス・バッファ (15) が双方向バス・バッファであれば、フィードバック用の分岐の外側にバス・バッファ (15) を設けることが可能である。

< 実施例 2 >

第 3 図はこの発明のメモリ・アクセス装置の他の実施例を示すブロック図であり、実施例 1 と異なる点は、既知の基準データに基づいて基準 m - 系列符号を変調したデータを重畳した状態でレジスタ (12) (13) および FIF0メモリ (14) に書き込む点、基準 m - 系列符号が制御信号として供給される演算器 (34) および対応するレジスタ (35) を有している点、インバータ (33) を省略した点およびレジスタ (32) (35) の内容が供給される復元部 (37) を有している点のみである。

上記復元部 (37) は、レジスタ (32) から出力される相関値 T およびレジスタ (35) から出力される基準の相関値を入力として所定の演算を行なうものである。尚、既知の基準データが “0” であれば、基準の相関値が最小の相関値 min になるので、2⁻³ (T - min) の演算を行なえばよいとともに、基準データに基づいて基準 m - 系列符号を変調したデータを現実に重畳する必要がなくな

る。また、基準データが “1” であれば、基準の相関値が最大の相関値 max になるので、2⁻³ (max - T) の演算を行なえばよい。

したがって、例えば基準データが “0” で、書き込むべき中間値データが “0.5” “0.8” “1” であり、各中間値データに対応してそれぞれ 1 ビットずつ位相シフトされた m - 系列符号 “ - 11 - 1111 - 1” “ - 1 - 11 - 1111” “ 1 - 1 - 11 - 111” がそれぞれ割り当てられている場合には、最初の間値データ “0.5” および m - 系列符号 “ - 11 - 1111 - 1” に基づいてレジスタ (12) (13) および FIF0メモリ (14) に “ - 0.5 0.5 - 0.5 0.5 0.5 0.5 - 0.5” が書き込まれる。そして、次に中間値データ “0.8” に基づいて “ - 0.8 - 0.8 0.8 - 0.8 0.8 0.8 0.8” が重ね書きされ、“ - 1.3 - 0.3 0.3 - 0.3 1.3 1.3 0.3” がレジスタ (12) (13) および FIF0メモリ (14) に保持される。さらにデータ “1” に基づいて “ 1 - 1 - 11 - 111” が重ね書きされ、“ - 0.3 - 1.3 - 0.7 0.7 0.3 2.3 1.3” がレジスタ (12) (13) および FIF0メモリ (14) に保持される。

そして、m - 系列符号 “ 0101110” を制御信号として演算器 (31) に供給すれば、レジスタ (12) から順次出力されるデータに基づいて、

$$\begin{aligned}
 0 - (-0.3) &= 0.3 \\
 0.3 + (-1.3) &= -1.0 \\
 -1.0 - (-0.7) &= -0.3 \\
 -0.3 + 0.7 &= 0.4 \\
 0.4 + 0.3 &= 0.7 \\
 0.7 + 2.3 &= 3.0 \\
 3.0 - 1.3 &= 1.7
 \end{aligned}$$

の演算が順次行なわれ、最終的に得られた値 1.7 が相関値 T として復元部 (37) に供給される。

また、基準 m - 系列符号 “ 1011100” が制御信号として演算器 (34) に供給されることにより

$$\begin{aligned}
 0 + (-0.3) &= -0.3 \\
 -0.3 - (-1.3) &= 1.0 \\
 1.0 + (-0.7) &= 0.3 \\
 0.3 + 0.7 &= 1.0 \\
 1.0 + 0.3 &= 1.3 \\
 1.3 - 2.3 &= -1.0 \\
 -1.0 - 1.3 &= -2.3
 \end{aligned}$$

の演算が順次行なわれ、最終的に得られた値 - 2.3 が最小の相関値 min として復元部 (37) に供給される。

したがって、復元部 (37) においては 2⁻³ { 1.7 - (-2.3) } の演算が行なわれ、元の間値 “0.5” を得ることができる。他の中間値についてもそれぞれ対応する m - 系列符号を用いて同様の演算を行なわせることにより読み出すことができる。

また、レジスタ (12) (13) および FIF0メモリ (14) に保持されているデータを更新する場合、例えば、上記 “0.5” を “0.7” に変更する場合には、乗算器 (2) に差分値 “0.2” および同じ m - 系列符号 “ - 11 - 1111 - 1” を

供給すればよい。したがって、元のデータを消去する必要がなく、データの更新を簡素化できる。

<実施例 3 >

第 4 図はこの発明のメモリ・アクセス装置のさらに他の実施例を示すブロック図であり、実施例 2 と異なる点は、レジスタ (12) (13) および FIFO メモリ (14) を直列接続する代わりに、(2ⁿ - 1) 個のメモリ要素 (21) をそれぞれデータ・バス (22) と接続し、データ・バス (22) を介してデータ読み出しおよび書き込みを行なわせるようにしているとともに、乗算器 (2) からの出力データが供給される加算器 (11) にデータ・バス (22) を介して読み出されたデータを供給し、加算器 (11) からの出力データをデータ・バス (22) を介して書き込むようにした点である。したがって、この実施例におけるメモリ要素は循環型メモリではないと思われるかも知れないが、データ・バス (22) を通して順次異なるメモリ要素 (21) に対する読み出しアクセスおよび書き込みアクセスを行なうようにしているのだから、実質的には循環型メモリを構成していることになる。

この実施例の場合には、何れかのメモリ要素が破損した場合であっても、該当するメモリ要素に対するアクセスが不可能になるだけであり、他のメモリ要素に対するアクセスは可能である。そして、この発明のメモリ・アクセスにおいては、1 個のデータが 1 個のメモリ要素に保持されるのではなく、多数個のメモリ要素に分散された状態で保持されるのであるから、部分的なメモリ要素の破損が生じて、データの書き込みを行なうことができるのと同時に、かなり高精度のデータ読み出しを行なうことができる。

<実施例 4 >

$$R_i = 2^{-3} \left(\sum_{j=1}^7 S_j m_{ij} - \sum_{j=1}^7 S_j m_{1j} \right)$$

$$= (1 / 8) \sum_{j=1}^7 S_j (m_{ij} - m_{1j})$$

で表される。

ここで、m_{2j} - m_{1j} は “200 - 202 - 2”
 m_{3j} - m_{1j} は “20 - 2 - 2200”
 m_{4j} - m_{1j} は “2 - 2 - 20020”
 となり、
 S_j (m_{2j} - m_{1j}) は “4.6 0.0 0.0 0.6 0.0 1.4 - 2.6”
 S_j (m_{3j} - m_{1j}) は “4.6 0.0 2.6 0.6 - 1.4 0.0 0.0”
 S_j (m_{4j} - m_{1j}) は “4.6 - 0.6 2.6 0.0 0.0 1.4 0.0”
 となるのであるから、
 R₂ = (4.6 + 0.6 + 1.4 - 2.6) / 8 = 0.5
 R₃ = (4.6 + 2.6 + 0.6 - 1.4) / 8 = 0.8

$$C(t) = \sum_{j=1}^L w_j m(t + j \Delta T)$$

を供給している点のみである。但し、w₀ = 0 である。

* 第 5 図はこの発明のメモリ・アクセス装置のさらに他の実施例を示すブロック図であり、実施例 2 と異なる点は、乗算器 (41)、加算器 (42) およびレジスタ (43) のみで読み出しアクセス装置を構成した点のみである。即ち、レジスタ (12) からの出力データと、読み出すべきデータに対応する m - 系列符号と基準 m - 系列符号との差分をとることにより得られる系列符号とが上記乗算器 (41) に供給され、乗算器 (41) からの出力データが、加算器 (42) およびレジスタ (43) を通して外部に出力されている。そして、レジスタ (43) からの出力データは加算器 (42) にフィードバックされている。

したがって、この構成の読み出しアクセス装置を採用することにより構成を一層簡素化できる。

上記の構成の読み出しアクセス装置の動作は次のとおりである。

基準 m - 系列符号が “- 1111 - 1 - 11” であり、基準データ Z₁ および書き込まれた多値データ Z₂, Z₃, Z₄ がそれぞれ “0” “0.5” “0.8” “1” である場合には、“2.3 0.3 - 1.3 - 0.3 - 0.7 0.7 1.3” の重畳データ S_j がレジスタ (12) から順次出力される。そして、この重畳データ S_j に基づいて再生される再生データ R₂, R₃, R₄、基準データ R₁ および再生データ R₁, R₂, R₃, R₄ にそれぞれ対応する m - 系列符号 m_{1j}, m_{2j}, m_{3j}, m_{4j} (j = 1 ~ 7) は、R₂, R₃, R₄ が未知であり、R₁ = 0 であり、
 m_{1j} = “- 1111 - 1 - 11”
 m_{2j} = “111 - 1 - 11 - 1”
 m_{3j} = “11 - 1 - 11 - 11”
 m_{4j} = “1 - 1 - 11 - 111”
 である。また、未知の再生信号 R_i は、

* 30

R₄ = (4.6 - 0.6 + 2.6 - 1.4) / 8 = 1.0
 となり、多値データ Z₂, Z₃, Z₄ と再生データ R₂, R₃, R₄ とは一致する。

<実施例 5 >

40 第 6 図 (A) (B) (C) はこの発明のメモリ・アクセス装置のさらに他の実施例を示すブロック図であり、それぞれ第 3 図、第 4 図、第 5 図の実施例に対応している。そして、これらの実施例と異なる点は、乗算器 (2) に m - 系列符号 m (t + j T) を供給する代わりに、所望の重み付け係数 w_j および m - 系列符号 m (t + j T) に基づいて得られた書き込み符号

したがって、この実施例の場合には、複数のデータ x

1, x2, ... xLを同じ位相シフト量の系列符号に基づいて書き込むに当って、単純に

$$x_1 + x_2 + \dots + x_L$$

の状態を書き込むのではなく、

$$w_1 x_1 + w_2 x_2 + \dots + w_L x_L$$

の状態を書き込むことができる。即ち、前もって重み付け係数を乗算しておく必要がなく、書き込みアクセスを簡単化できる。

そして、この実施例を学習型ニューラル・ネットにおける入力層に適用することが可能である。また、学習化ニューラル・ネットにおいては、学習の結果に基づいて重み付け係数が変化することが必要なのであるから、学*

$$C(t) = \sum_{j=1}^L w_j m(t + j \Delta T),$$

または所望の重み付け係数wjおよび系列符号(mij - m1j)に基づいて得られた読み出し符号

$$C_i(t) = \sum_{j=1}^L w_j (m_{ij} - m_{1j})$$

を供給している点のみである。但し、w0 = 0である。合には、重畳された読み出しデータ

したがって、読み出し符号C(t)を供給している場

$$S(t) = \sum_{j=1}^L x_j \cdot m(t + j \Delta T)$$

と読み出し符号C(t)とに基づいて相関値

$$\beta(t) = \sum_{k=1}^{2^n-1} S(t + k \Delta T) C(t + k \Delta T)$$

が得られるとともに、“0”レベルに対応する相関値min が得られるので、例えば、復元部(37)において

$$X = 2^{-n} \{ \beta(t) - \min \sum_{j=1}^L w_j \}$$

の演算を行なうことにより各データ毎に重み付け係数を加味した出力値Xが得られる。

即ち、多値データZ2, Z3, Z4にそれぞれ重み付け係数w2, w3, w4をかけた信号の総和 = w2 Z2 + w3 Z3 + w4 Z4を得る場合には、一般に

また、読み出し符号Ci(t)を供給している場合、

$$\begin{aligned} \delta &= \sum_{i=2}^4 w_i R_i \\ &= \sum_{i=2}^4 \left[\left(1 / 2^n \right) \left\{ \sum_{j=1}^L S_j (m_{ij} - m_{1j}) \right\} w_i \right] \\ &= \left(1 / 2^n \right) \sum_{i=2}^4 \sum_{j=1}^L \left\{ S_j (m_{ij} - m_{1j}) w_i \right\} \\ &= \left(1 / 2^n \right) \sum_{j=1}^L \left[S_j \sum_{i=2}^4 \left\{ w_i (m_{ij} - m_{1j}) \right\} \right] \end{aligned}$$

であるから、

$$C_j = \left(1 / 2^n \right) \sum_{i=2}^4 \left\{ w_i (m_{ij} - m_{1j}) \right\}$$

なる系列符号を予め得ておけば、総和は、

$$= \sum_j C_j$$

の相互相関をとることにより得ることができる。但し、

50 w1は基準信号チャネルに対応するため常に0である。

17

上記の具体例において、 $w_2 = 1.0, w_3 = 2.5, w_4 = -1.5$ とすれば、
 $w_1 (m_{1j} - m_{1j})$ は "0000000"
 $w_2 (m_{2j} - m_{1j})$ は "200 - 202 - 2"

$$C_j = (1 / 8) \sum_{i=2}^4 w_i (m_{ij} - m_{1j})$$

= "0.5 0.375 - 0.25 - 0.875 0.625 - 0.125 - 0.25" となる。

したがって、 $S_j C_j$ は "1.15 0.1125 0.325 0.2625 - 0.4375 - 0.0875 - 0.325" となり、総和は、

$$\delta = \sum_{j=1}^7 S_j C_j = 1.0$$

$$C_j = (1 / 2^n) \sum_{i=2}^4 \{ w_i (m_{ij} - m_{1j}) \}$$

なる系列符号を予め得ておいて、演算器 (34) に供給することにより、最小の相関値 min を算出することなく簡単に重み付け係数 w_i を加味した総和を得ることができる。

そして、この実施例も学習型ニューラル・ネットに適用することができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、乱数、パロウ系列符号等、 m - 系列符号以外の疑似ノイズであって自己相関特性が強いものを書き込み用、読み出し用の系列符号として用いることが可能であるほか、これらの系列符号を用いて書き込み用、読み出し用の系列符号を得ることが可能であり、さらに、多値データの書き込み、読み出しに適用する場合において、0 ~ 1 の範囲における任意の値を基準データとして使用することが可能であるほか、この発明の要旨を変更しない範囲内において種々の設計変更を施すことが可能である。

< 発明の効果 >

以上のように第 1 の発明は、全ての情報を疑似ノイズによって循環型メモリの全段に拡散させた状態で保持するので、高い機密保護を達成できるとともに、多少のメモリ要素の破損に拘らず情報を復元できるという特有の効果を奏する。

第 2 の発明は、書き込まれている元のデータに対して重み付け係数との相関結果を簡単に得ることができるという特有の効果を奏する。

第 3 の発明は、元のデータに対して重み付け係数を加味した重畳データをメモリに書き込むことができるという特有の効果を奏する。

第 4 の発明は、既にメモリに書き込まれているデータの更新を簡単に行なうことができるという特有の効果を奏する。

第 5 の発明は、循環型メモリの段数に対応する疑似ノ

18

* $w_3 (m_{3j} - m_{1j})$ は "50 - 5 - 5500"
 $w_4 (m_{4j} - m_{1j})$ は "- 33300 - 30"
 となるのであるから、系列符号 C_j は

となり、 $= w_2 R_2 + w_3 R_3 + w_4 R_4$ に基づいて算出した総和と一致することが確認された。

10 以上の説明から明らかなように、

イズを簡単に得ることができ、段数の増減にも簡単に対処できるという特有の効果を奏する。

20 第 6 の発明は、全ての情報を疑似ノイズによって循環型メモリの全段に拡散させた状態で保持するので、高い機密保護を達成できるとともに、多少のメモリ要素の破損に拘らず情報を復元できるという特有の効果を奏する。

第 7 の発明は、書き込まれている元のデータに対して重み付け係数との相関結果を簡単に得ることができるという特有の効果を奏する。

第 8 の発明は、元のデータに対して重み付け係数を加味した重畳データをメモリに書き込むことができるという特有の効果を奏する。

第 9 の発明は、既にメモリに書き込まれているデータの更新を簡単に行なうことができるという特有の効果を奏する。

第 10 の発明は、循環型メモリの段数に対応する疑似ノイズを簡単に得ることができ、段数の増減にも簡単に対処できるという特有の効果を奏する。

【図面の簡単な説明】

第 1 図はこの発明のメモリ・アクセス装置の一実施例を示すブロック図、

40 第 2 図は m - 系列符号を生成する装置の一例を示す概略図、

第 3 図はこの発明のメモリ・アクセス装置の他の実施例を示すブロック図、

第 4 図から第 7 図は、それぞれこの発明のメモリ・アクセス装置のさらに他の実施例を示すブロック図、

第 8 図は m - 系列符号について新たに見出した性質を説明する概略図、

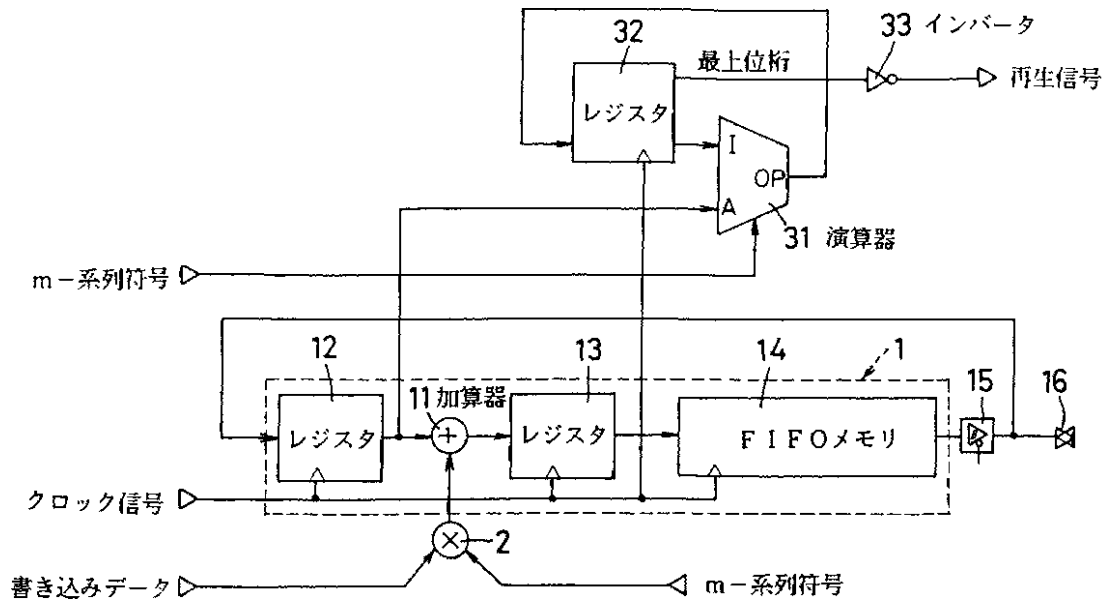
第 9 図は m - 系列符号に関する既知の性質を説明する図。

50 (11)加算器、(12) (13)レジスタ、

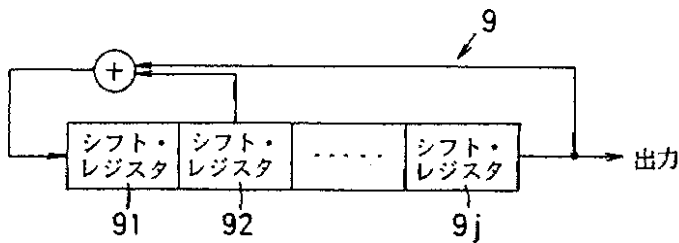
(14)FIFOメモリ、(21)メモリ要素、
 (31) (34)演算器、
 (32) (35)レジスタ、(33)インバータ、 *

* (37)復元部、(41)乗算器、
 (42)加算器、(43)レジスタ *

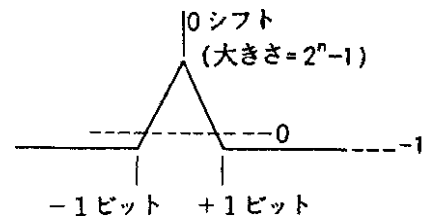
【第1図】



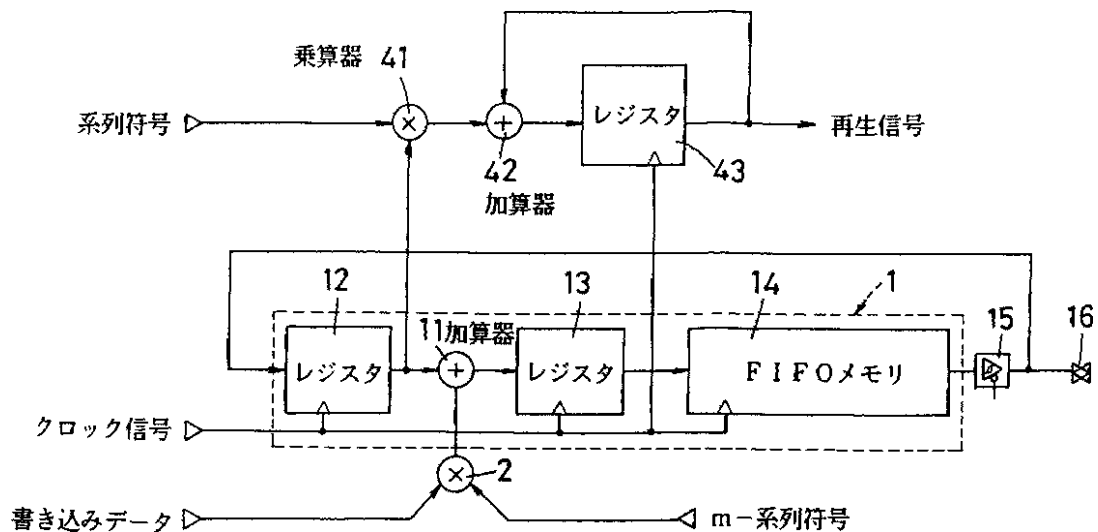
【第2図】



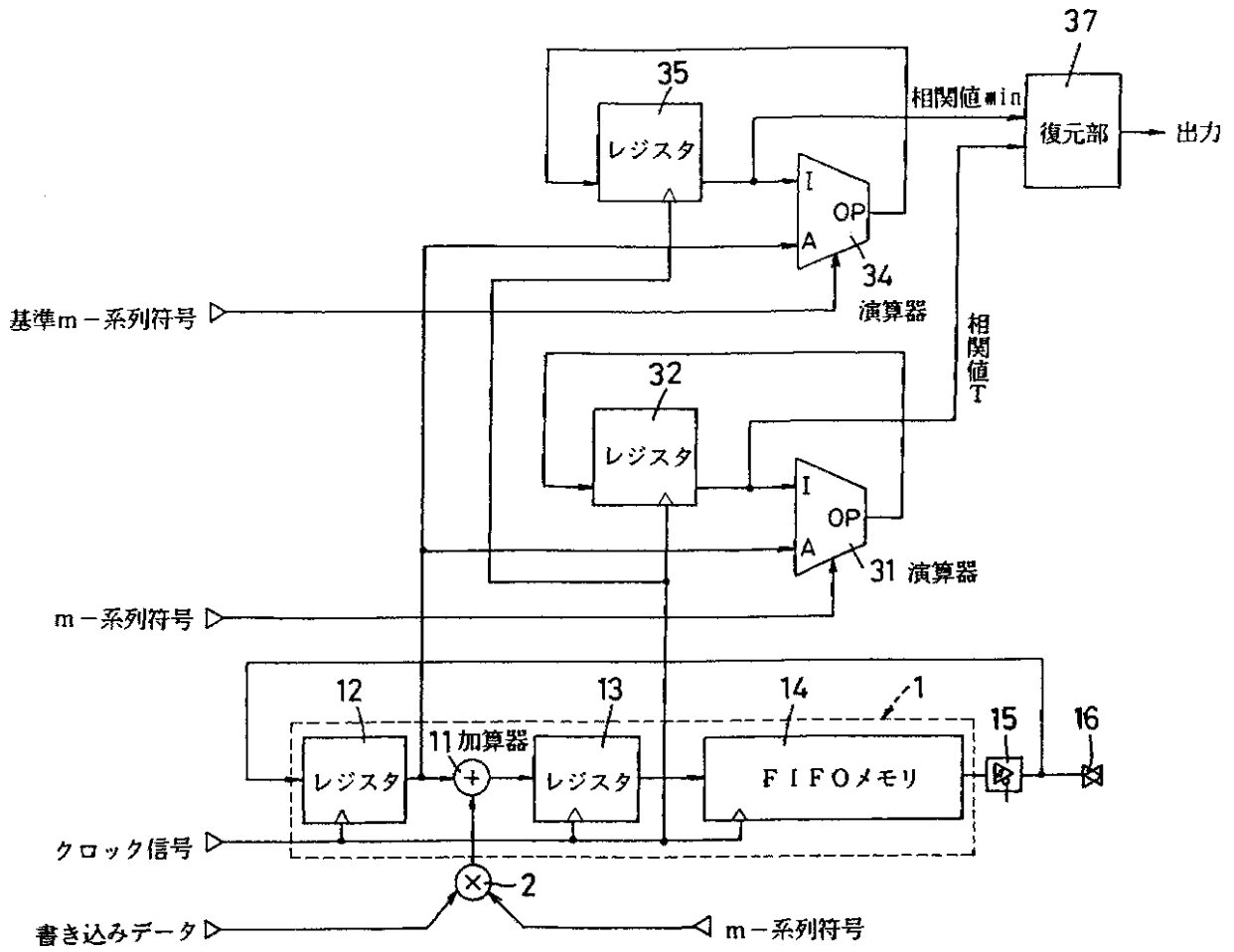
【第9図】



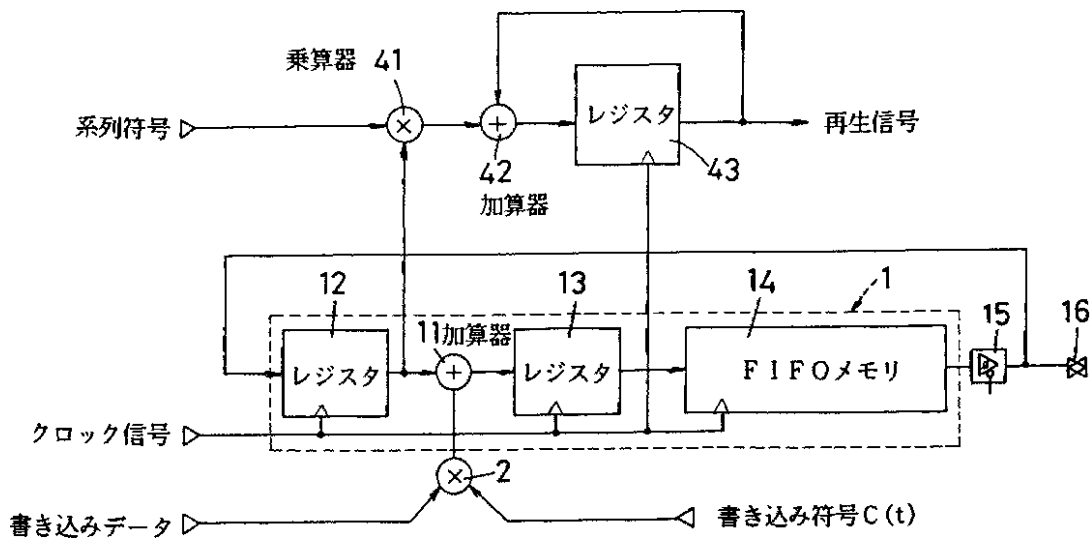
【第5図】



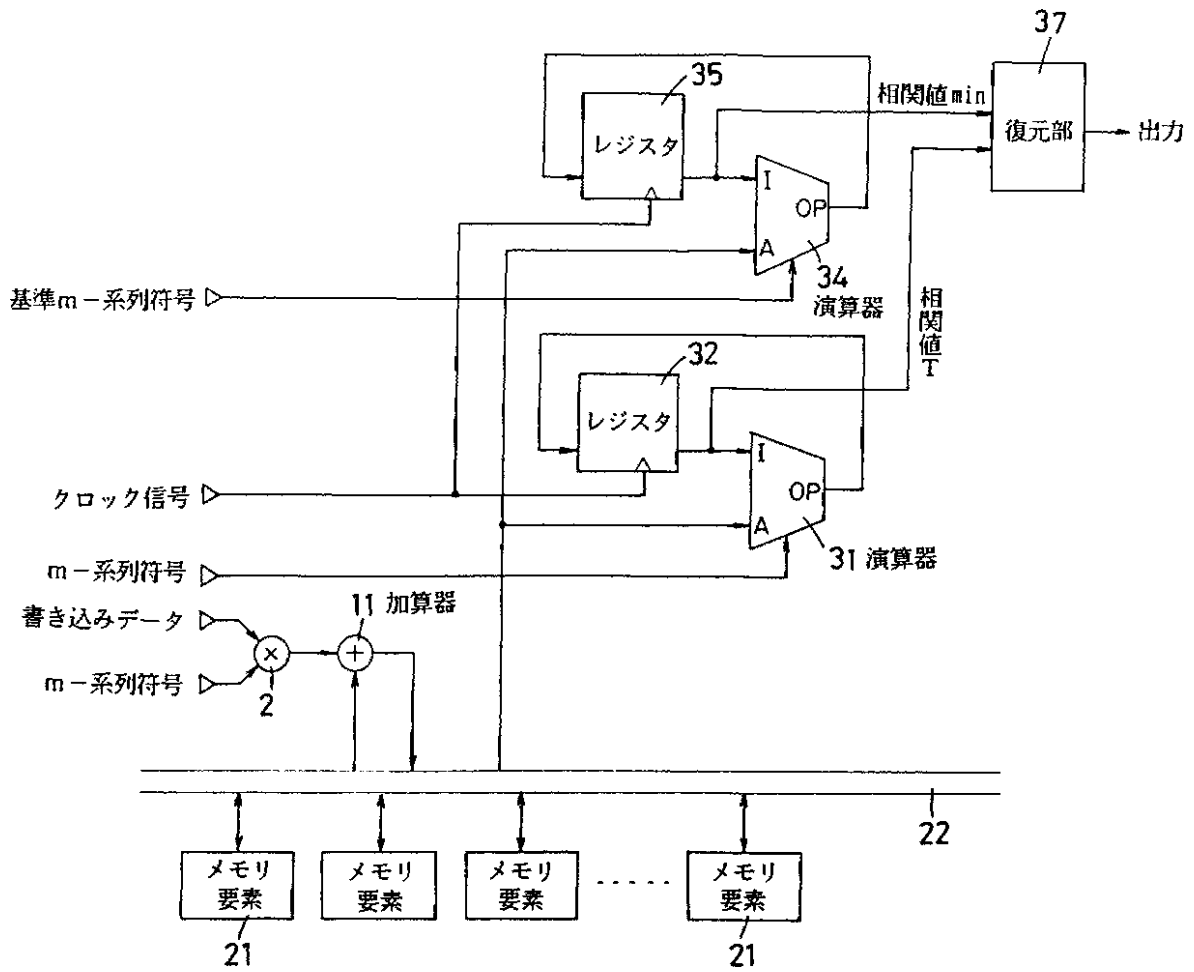
【第3図】



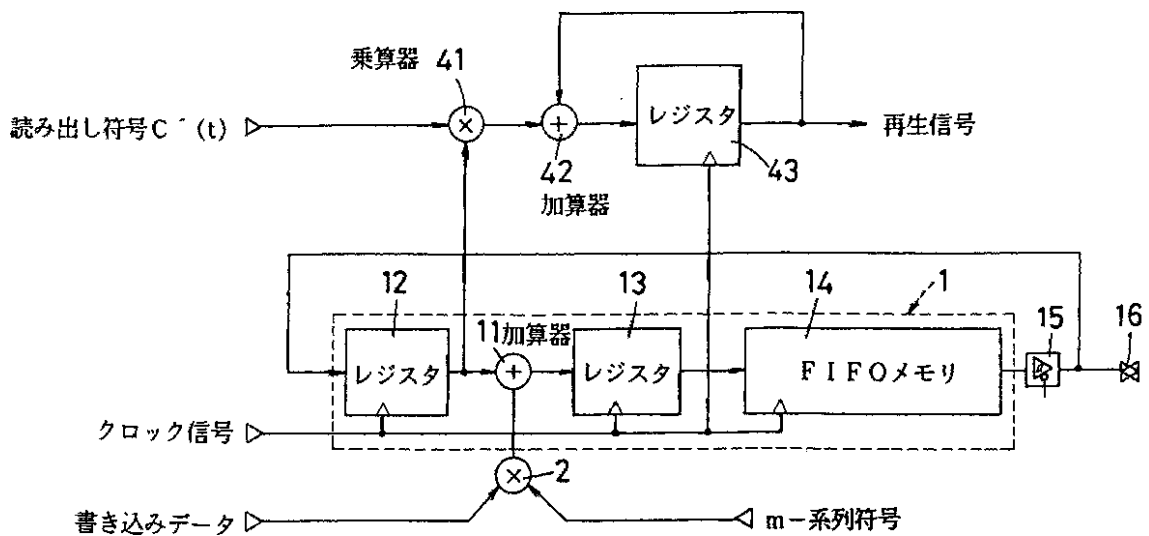
【第6図(C)】



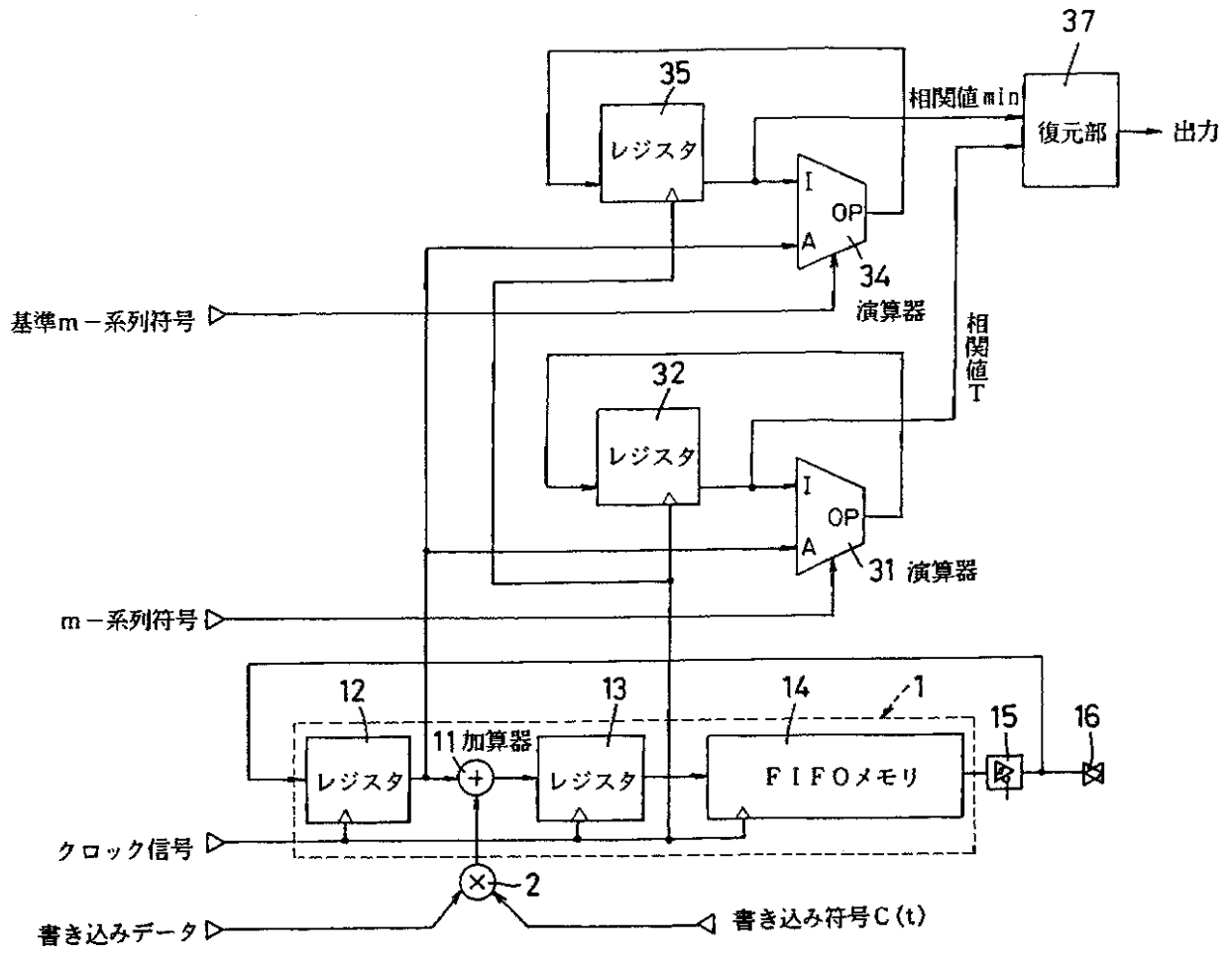
【第4図】



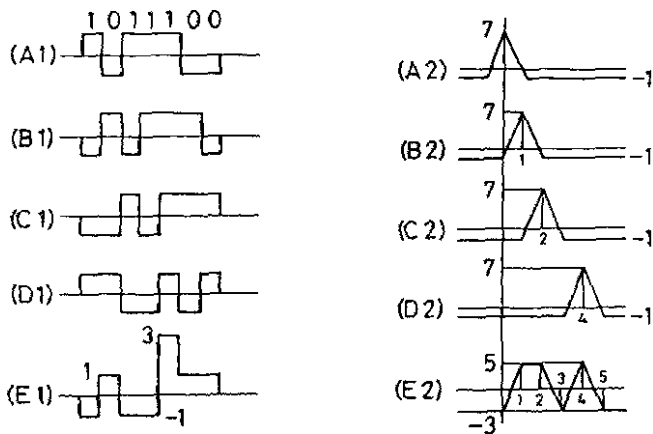
【第7図(C)】



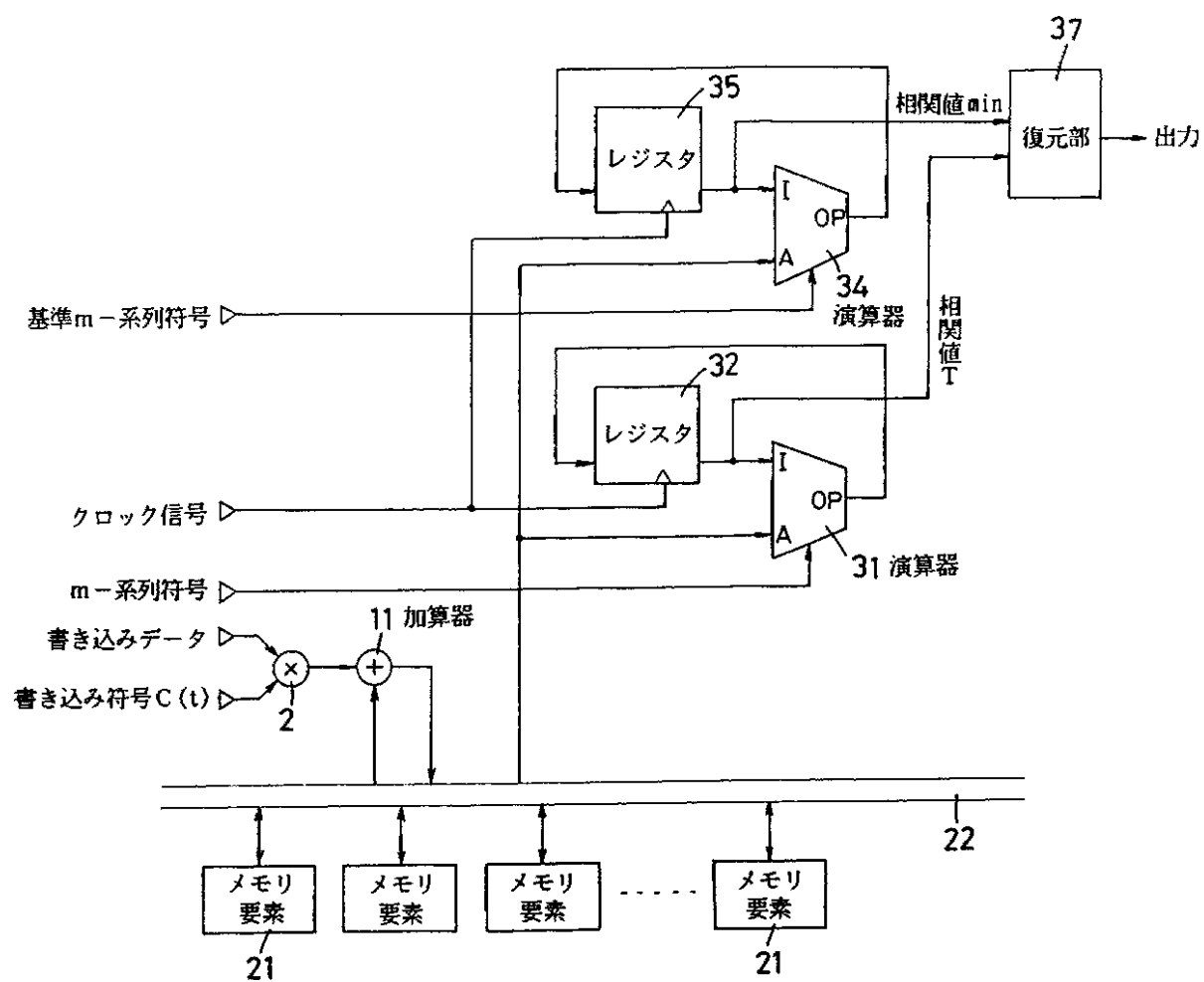
【第6図(A)】



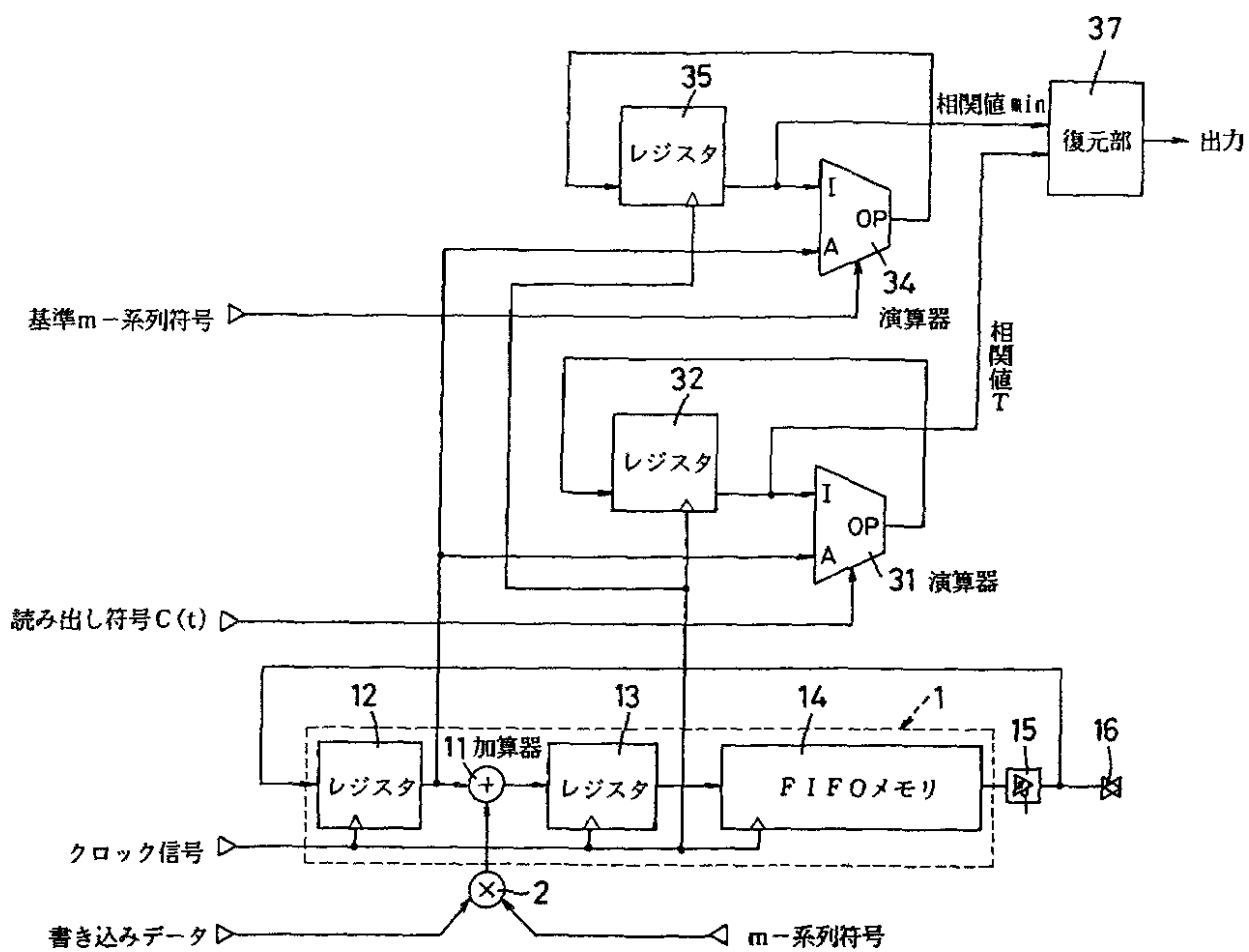
【第8図】



【第 6 図 (B)】



【第7図(A)】



【第7図(B)】

