

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2551045号

(45)発行日 平成8年(1996)11月6日

(24)登録日 平成8年(1996)8月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 11/20		9365-5H	G 0 6 F 15/72	3 5 5 K
G 0 6 F 3/14	3 5 0		3/14	3 5 0 A
	3 3 6		3/153	3 3 6 B

発明の数9 (全 15 頁)

(21)出願番号	特願昭62-278004	(73)特許権者	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22)出願日	昭和62年(1987)11月2日	(72)発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65)公開番号	特開平1-119877	(74)代理人	弁理士 津川 友士
(43)公開日	平成1年(1989)5月11日	審査官	藤井 浩

(54)【発明の名称】 画像メモリデータ処理制御装置

1

(57)【特許請求の範囲】

【請求項1】画像メモリ(1)を複数のブロックメモリ(11)(12)...(1m)で構成しているとともに、各ブロックメモリに対応させて、スキャンライン方向に連続する所定数の画素データを保持するピクセルレジスタ(21)(22)...(2m)、および直線補間演算器(4)から出力されるアクセスアドレスデータを入力として、ブロックメモリ、およびピクセルレジスタを選択する選択信号を生成するタイミング制御手段(31)(32)...(3m)を具備しており、さらに、直線補間演算器(4)から出力されるアクセスアドレスデータを入力として、所定個数のピクセルレジスタのうち、所定画素数分の、ピクセルレジスタを構成するモジュールを選択する信号を生成する書込み用デコーダ(5a)と、直線補間演算器から出力されるアクセスアドレスデータを所定時間だけ遅延さ

2

せる遅延手段(6b)と、遅延手段から出力されるアドレスデータを入力として、所定個数のピクセルレジスタのうち、所定画素数分の、ピクセルレジスタを構成するモジュールを選択する信号を生成する読出し用デコーダ(6a)と、直線補間演算器と同期してアドレスが順次変化させられ、かつ、読出し用デコーダにより選択された、ピクセルレジスタを構成するモジュールから出力されるデータを直線補間軌跡に沿って連続的に格納するとともに、書込み用デコーダにより選択されら、ピクセルレジスタを構成するモジュールに供給する画素データ一時保持手段(7)(7a)と、直線補間演算器により生成された画素データ、および画素データ一時保持手段から読出された画素データを選択的に、ピクセルレジスタを構成するモジュールに供給するとともに、画素データ一時保持手段から読出された画素データが選択されたこと

を条件としてラスタ演算を行なう選択演算手段(8)(92)とを具備することを特徴とする画像メモリデータ処理制御装置。

【請求項2】遅延手段が、直線補間演算器から出力される読出しアドレスデータを所定時間だけ遅延させるFIFOメモリ(6b)である上記特許請求の範囲第1項記載の画像メモリデータ処理制御装置。

【請求項3】遅延手段が、所定時間遅延させられたタイミングで読出しアドレスデータを生成する直線補間演算器である上記特許請求の範囲第1項記載の画像メモリデータ処理制御装置。

【請求項4】画素データ一時保持手段が、スタティックランダムアクセスメモリ(7)と、アドレスデータを順次増加させるアップカウンタ(7a)とで構成されている上記特許請求の範囲第1項記載の画像メモリデータ処理制御装置。

【請求項5】画素データ一時保持手段がFIFOメモリである上記特許請求の範囲第1項記載の画像メモリデータ処理制御装置。

【請求項6】タイミング制御手段が、スキャン方向と直角的な方向の座標データの低位桁をデコードしてピクセルレジスタの選択を行なわせる制御信号を生成する上記特許請求の範囲第1項記載の画像メモリデータ処理制御装置。

【請求項7】タイミング制御手段が、座標データの低位所定桁が変化するタイミングで制御信号を生成するものである上記特許請求の範囲第1項記載の画像メモリデータ処理制御装置。

【請求項8】タイミング制御手段が、スキャン方向の座標データについては、ピクセルレジスタの容量に対応する低位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角的な方向の座標データについては、最も最下位桁が変化するタイミングで制御信号を生成するものである上記特許請求の範囲第7項記載の画像メモリデータ処理制御装置。

【請求項9】画像メモリがデュアルポートダイナミックランダムアクセスメモリである上記特許請求の範囲第1項記載の画像メモリデータ処理制御装置。

【発明の詳細な説明】

<産業上の利用分野>

この発明は画像メモリデータ処理制御装置に関し、さらに詳細にいえば、直線補間演算器(以下、DDAと略称する)による高速の画像メモリアクセスを行なわせることができるとともに、高速のビットブロックトランスファ機能(以下、bitbltと略称する)を達成することができる新規な画像メモリデータ処理制御装置を提供することを目的としている。

<従来の技術>

従来から、ラスタスキャン型グラフィックディスプレイ装置においては、画像表示の高速化、装置全体として

の低価格化が基本的に要求されるだけでなく、多機能化が要求されるようになってきている。特に、マルチウィンドウ表示を行なうことができるようにする機能を実現することが強く要求されている。

従来からマルチウィンドウ表示を実現するための方式として、

① 複数のフレームバッファを設けておくとともに、これらのフレームバッファを制御するための制御回路を設けておき、重なり合いを考慮した状態で、表示されるべき画面を予め分割してフレームバッファに格納しておき、表示タイミングに合わせて表示データのアドレスを順次切替えていくことによりマルチウィンドウ表示を行なわせる、いわゆるハードウェア方式、および

② メモリに保持しているマルチウィンドウ表示用の画像データをバイト単位で読出し、ラスタ演算を施してからフレームバッファに書込むことにより、メモリのウィンドウ領域をフレームバッファに転送し、しかも転送順序をマルチウィンドウ表示に対応させて設定することによりマルチウィンドウ表示を行なわせる、いわゆるbitblt方式が提供されている。

そして、上記ハードウェア方式においては、表示を行なう場合に、マルチウィンドウの表示画面を合成するだけでよく、メモリの転送処理を必要としないことになるので、表示するウィンドウのサイズに拘らず高速のマルチウィンドウ表示を達成することができる。

逆に、上記bitblt方式においては、画面上の任意箇所にも所望枚数のウィンドウ表示を行なうことができ、マルチウィンドウ表示の自由度を著しく高めることができる。尚、この場合において、メモリとフレームバッファについては、共用する構成を採用することができる。

<発明が解決しようとする問題点>

上記ハードウェア方式においては、マルチウィンドウ表示可能なウィンドウ数が表示画面の分割数に基いて定まるため、システム設計時にウィンドウ数の最大値が規定されてしまい、自由にウィンドウ数を増加させることができないという問題があるとともに、少ないウィンドウ数のマルチウィンドウ表示のみしか行なわない場合であっても、定められた分割数のウィンドウ数の表示を行なうための回路構成が必要であり、全体としてハードウェアの利用効率が低下してしまうという問題がある。また、合成画面を表示するための回路についても、表示画面の分解能が高くなるに伴って高速動作可能なデバイスを使用することが必要になり、全体として高価格化してしまうという問題もある。

上記bitblt方式においては、合成画面の表示を行なう場合における速度を余り高めることができないという問題がある。即ち、bitblt方式においては、ウィンドウ表示すべき領域に対応する画素データを、優先順位を考慮しながら転送する必要があるため、ウィンドウの領域が広くなればメモリへの転送処理負荷が大きくなり、ウィ

ンドウ合成を完了するまでの所要時間が長くなってしま
うのである。

さらに詳細に説明すると、ビットマップディスプレイ
装置においては、bitblt処理を行なう場合に、1回のメ
モリアクセスで、スキャンライン方向に連続する複数の
画素データをアクセスするモードを採用し、例えば、第
9図に示すように、ソース領域から2ワード分の画素デ
ータを読み出して(第9図B参照)、パレルシフト(図示
せず)を使用して処理開始画素位置をディスティネーシ
ョン領域側の処理開始画素位置に合わせるべくシフト処理
を施し(第9図C参照)、この状態においてラスタ演算
を施した後、処理開始画素位置に対応させてマスク処理
を施してディスティネーション領域に書込むことにより
bitblt処理を完了するようにしている。

この場合におけるフレームバッファのアクセスモード
として、一般的にピクセルモード、プレーンモード、フ
ィルインモードの3種類のアクセスモードが具備させら
れている。具体的には、上記ピクセルモードにおいて
は、フレームバッファの各プレーンについて該当する1
画素分のデータを同時にアクセスすることができるよう
にしており、上記プレーンモードにおいては、フレーム
バッファの何れかのプレーンについて複数画素分のデー
タを同時にアクセスすることができるようにしており、
上記フィルインモードにおいては、フレームバッファの
各プレーンについて、複数画素分の領域にのうち選択さ
れた画素に対応させて予め設定されたカラーデータに基
いてアクセスすることができるようにしている。

また、3次元グラフィックディスプレイ装置において
は、シェーディング処理、3次元隠面処理等を施した図
形の表示を行なう場合に、一般的に各画素毎に色、或
は、奥行き値(以下、Z値)が異なるので、基本的には
ピクセルモードが選択されるのであり、1メモリサイク
ル当たり1画素分しか描画することができないのであるか
ら、例えば、フレームバッファのメモリサイクルが400n
secであれば、ピクセル描画速度が最大2.5Mピクセル/
秒となり、オーバーヘッドを考慮すれば、1本40画素の
任意ショートベクトルに換算して約50000本/秒、1辺2
0画素の任意傾斜角の正方形に換算して約5000ポリゴン
/秒であり、描画速度が不十分になってしまう。

このような点を考慮してラスタスキャン型グラフィッ
クディスプレイ装置においては、複数画素分のデータを
一時的に保持することができるピクセルバッファを設け
て、1回のメモリサイクルで複数画素分のデータを一括
して書込むことができるようにしており、より一層の高
速化を達成するために、ピクセルバッファを1対設ける
こともかなり一般的になっている。このピクセルバッ
ファ方式は、ビットマップディスプレイ装置におけるフ
ィルインモードにある程度近似できるものといことが
できると思われるのであるが、フィルインモードにおい
てはフィルインカラーレジスタ(以下、FCRと略称する)

がワード境界内の全ての画素に対して共通な値を供給す
るのに対して、ピクセルバッファ方式においては、FCR
によりワード境界内の全ての画素に対して共通な値を供
給する構成を採用することは不可能であるから、両者は
著しく異なる。

しかし、上記ピクセルバッファ方式においては、フレ
ームバッファメモリのデータ線がプレーン数と1ワード
のビット数との積に等しい数に設定されているのである
から、ピクセルバッファの全てのFCRに互に同一の値を
格納しておくとともに、マスクデータに対応させて該当
画素部分のみにFCRにより指示された画素をオーバーラ
イトするだけでよいフィルインモードが最も実現し易
い。逆に、他のモードを実現しようとするれば、上述の
ようにデータ線が多い(例えば、16M色、かつ1ワード8
ビットの場合にデータ線が192本になる)のであるか
ら、著しく多くのマルチプレクサ、セレクトを付加しな
ければならなくなり、構成が著しく複雑化するという問
題がある。即ち、ピクセルモードとプレーンモードとで
はデータ線の選択方向が互に異なってしまいうため、両
モードの選択を行なわせようとするれば、著しく多くのマル
チプレクサ、セレクトを必要とするのである。

以上の説明から明らかなように、ビットマップディス
プレイにおけるbitblt機能と、ラスタスキャン型3次元
グラフィックディスプレイにおける高速描画機能とを両
立させることは殆ど不可能であり、何れかの機能を十分
に発揮させる構成を採用すれば、他方の機能については
不十分なままであり、多機能化の要求を十分に満足させ
得るものではなかった。

<発明の目的>

この発明は上記の問題点に鑑みてなされたものであ
り、DDAによる高速の画像メモリアクセスを行なわせる
ことができるとともに、高速のbitblt処理を行なわせる
ことができる画像メモリデータ処理制御装置を提供する
ことを目的としている。

<問題点を解決するための手段>

上記の目的を達成するための、この発明の画像メモリ
データ処理制御装置は、画像メモリを構成する複数のブ
ロックメモリと、ピクセルレジスタと、タイミング制御
手段と、書込み用デコーダと、遅延手段と、読出し用デ
コーダと、画素データ一時保持手段と、選択演算手段と
を具備している。

上記ピクセルレジスタは、各ブロックメモリに対応し
て設けられているとともに、スキャンライン方向に連続
する所定数の画素データを保持するものであり、上記タ
イミング制御手段は、DDAから出力されるアクセスアド
レスデータを入力として、ブロックメモリ、およびピク
セルレジスタを選択する選択信号を生成するものであ
り、上記書込み用デコーダは、DDAから出力されるアク
セスアドレスデータを入力として、所定個数のピクセル
レジスタのうち、所定画素数分の、ピクセルレジスタを

構成するモジュールを選択する信号を生成するものであり、上記遅延手段は、DDAから出力されるアクセスアドレスデータを所定時間だけ遅延させるものであり、上記読出し用デコーダは、遅延手段から出力されるアドレスデータを入力として、所定個数のピクセルレジスタのうち、所定画素数分の、ピクセルレジスタを構成するモジュールを選択する信号を生成するものであり、上記画素データ一時保持手段は、DDAと同期してアドレスが順次変化させられ、かつ、読出し用デコーダにより選択された、ピクセルレジスタを構成するモジュールから出力されるデータを直線補間軌跡に沿って連続的に格納するとともに、書込み用デコーダにより選択された、ピクセルレジスタを構成するモジュールに供給するものであり、上記選択演算手段は、DDAにより生成された画素データ、および画素データ一時保持手段から読出された画素データを選択的に、ピクセルレジスタを構成するモジュールに供給するとともに、画素データ一時保持手段から読出された画素データが選択されたことを条件としてラスタ演算を行なうものである。

但し、上記遅延手段としては、DDAから出力される読出しアドレスデータを所定時間だけ遅延させるFIFOメモリであってもよく、或は、所定時間遅延させられたタイミングで読出しアドレスデータを生成するDDAであってもよい。

そして、上記画素データ一時保持手段としては、スタティックランダムアクセスメモリと、アドレスデータを順次増加させるアップカウンタとで構成されていてもよく、或は、FIFOメモリであってもよい。

また、上記タイミング制御手段としては、スキャン方向の座標データの下位桁をデコードしてピクセルレジスタの切替えを行なわせる制御信号を生成するとともに、スキャン方向と直角な方向の座標データの下位桁をデコードしてピクセルレジスタの選択を行なわせる制御信号を生成するものが好ましく、また、座標データの下位所定桁が変化するタイミングで制御信号を生成するものであることが好ましい。そして、後者の場合には、タイミング制御手段が、スキャン方向の座標データについては、ピクセルレジスタの容量に対応する下位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角な方向の座標データについては、最も最下位桁が変化するタイミングで制御信号を生成するものであることが一層好ましい。

さらに、上記画像メモリがデュアルポートダイナミックランダムアクセスメモリであることが好ましい。

<作用>

以上の構成の画像メモリデータ処理制御装置であれば、画像メモリを複数のブロックメモリで構成しているとともに、各ブロックメモリに対応させて、ピクセルレジスタと、ブロックメモリ、およびピクセルレジスタを選択する選択信号を生成するタイミング制御手段とを具

備しており、しかも、所定個数のピクセルレジスタのうち、所定画素数分の、ピクセルレジスタを構成するモジュールを選択する信号を生成する書込み用デコーダ、および読出し用デコーダと、画素データ一時保持手段と、選択演算手段とを具備しているため、単に描画を行なわせる場合には、高速演算動作を行なうDDAから非常に短い時間間隔で描画ベクタ上の多数の画素データを順次生成することができる。そして、順次生成される画素データは、各画素データが属するスキャンラインに対応してピクセルレジスタに供給され、各ピクセルレジスタに保持されている少なくとも1画素分の画素データが一括して対応するブロックメモリに書込まれる。

したがって、描画ベクタがスキャンライン方向のベクタである場合にも、或は、スキャンラインに対して傾斜した方向のベクタである場合にも、DDAによる演算動作を停止させることなく、画像メモリに対する画素データの書込みを行なわせることができ、1画素当りに換算した場合に、DDAの演算速度と等しい速度で画像メモリに対する書込みが行なわれることになるので、全体として描画速度を著しく向上させることができる。

また、bitblt処理を行なわせる場合には、DDAによりソース領域内の1ベクタに対応するアドレスデータを順次生成し、読出しアドレスとして画像メモリに供給することにより、遅延手段により読出し所要時間だけ遅延させられた状態で、かつタイミング制御手段による制御下においてピクセルレジスタを通して画素データ一時保持手段に順次供給し、一時的に保持させる。次いで、DDAによりディスティネーション領域内の1ベクタに対応するアドレスデータを順次生成し、ディスティネーション領域から読出したデータ、および画素データ一時保持手段から読出したデータを選択演算手段に供給することによりラスタ演算を施す。そして、ラスタ演算を施すことにより得られたデータを、書込み用デコーダからの出力データに基いて選択された、ピクセルレジスタのモジュールを通してディスティネーション領域に書込むことにより、ソースデータのディスティネーション領域への転送を行なうことができる。

以下、上記一連の動作を全てのベクタについて遂行することにより、マルチウィンドウ表示のためのデータ転送を行なうことができる。

以上の説明から明らかなように、bitblt処理を行なう場合には、ソースデータを読出すためにDDAによる演算動作を行なう必要があるとともに、ディスティネーション領域に対する書込みを行なうためにもDDAによる演算処理を行なわせる必要があるため、全体としての処理速度をDDAによる演算速度の1/2にまで向上させることができる。

そして、上記遅延手段が、DDAから出力される読出しアドレスデータを所定時間だけ遅延させるFIFOメモリである場合にも、或は、所定時間遅延させられたタイミン

グで読出しアドレスデータを生成するDDAである場合にも、上記と同様の作用を達成することができる。

また、上記画素データ一時保持手段が、スタティックランダムアクセスメモリと、アドレスデータを順次増加させるアップカウンタとで構成されている場合にも、或は、FIFOメモリである場合にも、上記と同様の作用を達成することができる。

さらに、上記タイミング制御手段が、スキャン方向と直角な方向の座標データの下位桁をデコードしてピクセルレジスタの選択を行なわせる制御信号を生成するものである場合には、スキャン方向に連続するソースベクタ、ディスティネーションベクタに基づくbitblt処理が行なわれる状態において、スキャン方向に対して傾斜したソースベクタ、ディスティネーションベクタに基づくbitblt処理が行なわれる状態において、スキャン方向と直角な方向の座標データの下位桁をデコードしてピクセルレジスタの選択を行なわせるので、次に同一のピクセルレジスタが選択されるまでの間にディスティネーション領域に対するデータ書込み、或はソース領域からのデータ読出しを行なわせることが可能となり、全体として画像メモリデータ処理制御速度を向上させることができる。

また、上記タイミング制御手段が、座標データの下位所定桁が変化するタイミングで制御信号を生成するものである場合には、読出されたソースデータを正確に所定のピクセルレジスタに保持させることができ、上記と同様の作用を達成することができる。

さらに、上記タイミング制御手段が、スキャン方向の座標データについて、ピクセルレジスタの容量に対応する下位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角な方向の座標データについて、最も最下位桁が変化するタイミングで制御信号を生成するものである場合には、生成される制御データに基いてピクセルレジスタの選択を行なわせることができ、上記と同様の作用を達成することができる。

さらにまた、上記画像メモリがデュアルポートDRAMである場合には、画像メモリからのデータ読出しに伴うデータ書込みの禁止時間を大巾に減少させることができるほか、上記と同様の作用を達成することができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第1図はこの発明の画像メモリデータ処理制御装置の一実施例を示すブロック図であり、フレームメモリ(1)を複数個のブロックメモリ(11)(12)...(1m)に区画するとともに、各ブロックメモリ(11)(12)...(1m)に対応させて、それぞれピクセルレジスタ(21)(22)...(2m)、およびタイミング制御回路(31)(32)...(3m)を設けて、各タイミング制御回路から出力される制御信号に基いて何れかのピクセルレジスタとブロックメモリとの間における画素データの授受を行なう

ことができるようにしている。尚、上記各ピクセルレジスタは、それぞれスキャンライン方向にn個のモジュールを有している。

そして、ベクタの端点のアドレスデータが供給されることにより、直線補間演算を行なってフレームメモリ上のアドレスデータを順次生成するDDA(4)と、DDA(4)と同期して直線補間演算を行ない、色情報データを順次生成するDDA(4a)とを設け、上記DDA(4)から出力されるアドレスデータをタイミング制御回路によりデコードして制御信号を生成するようにしているとともに、書込み用デコーダ(5a)に供給することにより、全体としてm×n個のモジュールのそれぞれに対応する書込み選択信号を生成し、逆に、FIFOメモリ(6b)を通して読出し用デコーダ(6a)に供給することにより、全体としてm×n個のモジュールのそれぞれに対応する読出し選択信号を生成するようにしている。

また、フレームメモリ(1)からピクセルレジスタ(2)に読出された画素単位の色情報データは、第1のデータバス(2a)を通してそのまま外部に取出し得るようにしているとともに、第2のデータバス(2b)を通して、かつバッファ(2c)を通して、画素データ一時保持手段としてのスタティックランダムアクセスメモリ(以下、SRAMと略称する)(7)に供給し得るようにしている。そして、上記SRAM(7)に対するアドレスデータの供給は、DDA(4)によるアドレスデータの生成と同期して内容がインクリメントされるアップカウンタ(7a)により行なわれるようにしているので、読出しデータを読出し順にSRAM(7)に格納することができ、また、格納されたデータを格納順に読出すことができる。

さらに、上記DDA(4a)により生成された色情報データ、およびSRAM(7)から読出された色情報データがセレクトタ(8)に供給され、セレクトタ(8)により選択されたデータが、タイミング制御回路(3)による制御下において上記ピクセルレジスタ(2)に供給されるようにしている。

第2図はピクセルレジスタを構成するモジュールの構成を詳細に説明する図であり、画素単位色情報を入力とする書込み用ダブルバッファ(91)を有しているとともに、書込み用ダブルバッファ(91)からの読出しデータを入力とする演算器(92)から出力される演算結果データを双方向バッファ(93)を通してDRAMで構成されたフレームメモリ(1)に供給するようにしている。そして、双方向バッファ(93)を通してフレームメモリ(1)から読出されたデータを読出し用レジスタ(94)に供給し、読出し用レジスタ(94)に保持されたデータをも上記演算器(92)に供給することによりラスタ演算を行なうことができるようにしている。さらに、上記読出し用レジスタ(94)に保持されたデータは、出力バッファ(95)を通して第1のデータバス(2a)に送出されるとともに、読出し用レジスタ(96)を通して第2のデ

ータバス (2b) に送出されるようにしている。尚、上記演算器 (92) は、セレクトとしての機能を具備しているとともに、ラスタ演算機能をも具備している。

したがって、演算器 (92) のモードを切替えることにより、単なる画素単位色情報データの書込み、或は、ラスタ演算を行なった結果を書込みを選択的に行なわせることができる。

上記の構成の画像メモリデータ処理制御装置の動作は次のとおりである。

単なる画素データの書込みを行なう場合には、書込み用デコーダ (5a)、および読出し用デコーダ (6a) の動作を禁止しておくとともに、DDA (4a) からの出力データを選択するようにセレクト (8) を切替えておけばよい。

この状態において、DDA (4) から順次アドレスデータが生成されれば、x,y座標値に基いてタイミング制御回路 (31) (32) ... (3m) が制御信号を生成し、生成されたアドレスデータに対応するピクセルレジスタのみを選択するので、DDA (4) と同期して動作する DDA (4a) により生成される画素単位色情報データを、選択されたピクセルレジスタの該当するモジュールに供給することができる。

そして、該当するピクセルレジスタに対するデータ供給が限界まで行なわれた場合、或は、y座標値が変化した場合には、上記ピクセルレジスタに保持されている全ての色情報データを一括してフレームメモリ (1) に書込むことにより、1画素当りに換算した場合の書込み速度を向上させることができる。尚、該当するピクセルレジスタからフレームメモリ (1) に対するデータの書込みが行なわれている間は、DDA (4a) から出力され続ける画素単位色情報データを他のピクセルレジスタに供給することができる。

したがって、DDA (4) (4a) による直線補間演算動作を中断することなく、フレームメモリ (1) に対する色情報データの書込みを行なわせることができ、全体として描画速度を DDA による演算速度と同程度まで向上させることができる。

bitblt処理を行なう場合には、書込み用デコーダ (5a)、および読出し用デコーダ (6a) の動作を許容しておくとともに、SRAM (7) からの読出しデータを選択するようにセレクト (8) を切替えておけばよい。

この状態において、ソースベクタの端点アドレスデータに基いて DDA (4) から順次ソースベクタ上のアドレスデータが生成されれば、x,y座標値に基いてタイミング制御回路 (31) (32) ... (3m) が制御信号を生成し、ブロックメモリを選択するので、選択されたブロックメモリの該当画素データを読出すことができる。そして、FIFOメモリ (6b) により読出し所要時間だけ遅延させられたアドレスデータが読出し用デコーダ (6a) に供給され、デコーダ (6a) から、ソース領域、および bitblt処

理の種別に対応するモジュール選択信号が出力されるので、選択されたモジュールのみに読出しデコーダが保持される。その後、保持された読出しデータは、第2のデータバス (2b)、およびバッファ (2c) を通して読出し順に SRAM (7) に一時的に保持される。この場合において、SRAM (7) のアドレスデータは、アップカウンタ (7a) により、DDA (4) の動作と同期してインクリメントされる。

以上のようにしてソース領域における1ベクタの読出しが行なわれた後は、ディステーションベクタの端点アドレスデータを DDA (4) に供給することにより、順次ディステーションベクタ上のアドレスデータを生成する。このアドレスデータはタイミング制御回路 (3)、および書込み用デコーダ (5a) に供給されるので、x,y座標値に基いてタイミング制御回路 (31) (32) ... (3m) が制御信号を生成し、ピクセルレジスタ、およびブロックメモリの選択を行なうとともに、書込み用デコーダ (5a) がディステーション領域、および bitblt処理に対応するモジュール選択信号を出力するので、選択されたモジュールのみに書込みデータが保持される。

そして、保持された書込みデータについては、演算器 (92) によりラスタ演算が施され、双方向バッファ (93) を通して該当するブロックメモリに書込まれる。

モジュールにおける動作を詳細に説明すると、第3図に示すように、時刻t0からt1の間において、画素P (x1,y1) の色情報データが書込み用ダブルバッファ (91) に供給され、続く時刻t1からt2間においてブロックメモリとの間におけるリード・モディファイ・ライト (以下、RMMと略称する) が行なわれるとともに、上記ダブルバッファ (91) からの色情報データの出力、および読出し用レジスタ (94) からの色情報データの出力が行なわれ、同時にダブルバッファ (91) に対する画素P (x2,y2) の色情報データの供給が行なわれる。その後、時刻t2からt3の間において、読出し用レジスタ (94) に保持されていた色情報データの第2のデータバス (2b) を通しての出力が行なわれる。そして、同時に、画素P (x2,y2) に対するRMM、および画素P (x3,y3) の色情報データの供給が行なわれる。

したがって、上記一連の動作を反復することにより、DDAの演算速度の約1/2の処理速度でbitblt処理を行なわせることができる。この結果、マルチウィンドウ表示の自由度を著しく高くすることができるとともに、全体としての構成を簡素化することができ、しかも高速にマルチウィンドウ表示を行なわせることができる。

第4図はピクセルレジスタを構成するモジュールとフレームメモリ (1) との関係を概略的に説明する図であり、フレームメモリ (1) が8個のブロックメモリ (11) (12) ... (18) に区画されているとともに、8個のピクセルレジスタ (21) (22) ... (28) がそれぞれ8個

ずつのモジュールで構成されている。即ち、上記m、およびnが共に8に設定されている。

そして、各ピクセルレジスタ単位で画素単位情報データ入力バス(4b)、および1対の画素単位情報データ出力バス(2a)(2b)が接続されている。

したがって、書込み用デコーダ(5a)(第1図参照)により、ピクセルレジスタ(23)の全モジュール(231)(232)...(238)を選択すべくデコード信号が生成された状態においては、画素単位情報データ入力バス(4b)から順次供給される情報データをブロックメモリ(13)に書込むことができる。

逆に、読出し用デコーダ(6a)により、ピクセルレジスタ(23)の全モジュール(231)(232)...(238)を選択すべくデコード信号が生成された状態においては、ブロックメモリ(13)から読出された情報データを、画素単位情報データ出力バス(2a)(2b)を通して取出すことができる。

上記においては、ピクセルレジスタ(23)の全モジュール(231)(232)...(238)が選択された場合についてのみ説明したが、何れかのピクセルレジスタの何れかのモジュールのみを選択すれば、ブロックメモリに対して画素単位でアクセスするピクセルモードに対応する処理を行なわせることができ、また、何れかのピクセルレジスタの全モジュールのうち、必要なモジュールのみを選択すれば、選択されたモジュールに対応する画素についてのみブロックメモリに対してアクセスするフィルインモードに対応する処理を行なわせることができる。

以上要約すれば、画像メモリに対するアクセスを行なわせる場合において、画像メモリを複数個のブロックメモリに区画しているとともに、各ブロックメモリに対応させてピクセルレジスタ、およびタイミング制御回路を設けているので、DDAから順次出力されるアドレスデータがスキャンラインに沿うベクタ上のアドレスデータである場合のみならず、スキャンラインに対して傾斜したベクタ上のアドレスデータである場合にも、DDAにより直線補間演算を停止させることなく、画像メモリに対する画素データの書込みを行なわせることができ、著しく高速の描画動作を行なわせることができる。

そして、画像メモリから画素データを読出す場合にも、DDAによる読出しアドレスデータの生成を停止させることなく任意のベクタ上の画素データを読出すことができ、読出した画素データに対してラスタ演算を施して、上記と同様に高速に画像メモリに対する書込みを行なわせることができるので、デコード信号によりピクセルレジスタを構成するモジュールを適宜選択しておくだけで、ビットマップディスプレイにおけるbitblt処理を行なわせることが可能となり、しかも、bitblt処理速度を、DDAによる直線補間演算速度の約1/2にまで向上させることができる。

但し、スキャンラインに沿うベクタに対応するメモリ

アクセスを行なう場合についてみれば、各ブロックメモリに対して2つずつのピクセルレジスタを設け、例えば、一方のピクセルレジスタに対する画素データ書込み処理が行なわれている間に、他方のピクセルレジスタからの画素データ一括出力処理を行なうようにすることにより、全体としての処理速度を一層向上させることができる。また、各ブロックメモリに対してそれぞれ設けられたピクセルレジスタを画素データ書込み用、および画素データ読出し用として使用することが可能であるが、

10 画素データ書込み用、および画素データ読出し用のそれぞれに専用のピクセルレジスタを設ける構成を採用してもよい。

さらに、上記bitblt処理を選択した場合において、ソースベクタ上の画素データをディステーションベクタ上に投影するテクスチャマッピングアルゴリズムを併用すれば、拡大処理、縮小処理、回転処理をも簡単に行なわせることができる。

また、上記タイミング制御回路においては、DDA(4)から出力されるアドレスデータの特定の桁の内容の変化に基いてピクセルレジスタの切替え、或は、選択を行なうようにしているが、この特定の桁の内容の変化は、第5図Aに示すように、DDA(4)からの出力データを順次レジスタ(51)(52)に供給するパイプライン構成を採用しておくことにより容易に行なうことができる。

即ち、第5図Bに示すように、上記レジスタ(51)(52)としてDタイプのフリップフロップ(以下、D-FFと略称する)を使用し、第1段目のD-FF(51)のD入力端子にDDA加算器(4c)から出力される1桁目のデータを供給し、第1段目のD-FF(51)のQ出力信号を第2段目のD-FF(52)のD入力端子に供給し、さらに、両D-FF(51)(52)のタイミング入力端子にDDAクロック信号を供給する構成を採用すれば、両D-FF(51)(52)のQ出力信号a₁,b₁、および $\overline{a_1}$, $\overline{b_1}$ が得られる。そして、得られた信号b₁、および $\overline{a_1}$ をANDゲート(53)に供給するとともに、信号a₁、および $\overline{b_1}$ をANDゲート(54)に供給し、両ANDゲート(53)(54)からの出力信号をNORゲート(55)に供給することにより、特定桁変化を検出する検出フラグを生成することができる。

40 第6図はy座標の最下位桁の変化、x座標の最下位桁から所定数だけ上位桁の変化、および線分描画終了を、y座標の下位桁が所定の値である場合にのみ検出する回路構成を示しており、x座標用のDDA加算器(56)、y座標用のDDA加算器(57)からの出力データを、それぞれ第5図の構成と同じ構成の回路に供給しているとともに、DDAダウンカウンタ(58)から出力されるフラグ(ダウンカウンタ(58)の内容が0の場合にハイレベルになるオーバーフローフラグ)、およびDDAから出力されるy座標データを入力として下位桁の内容が所定のp

ロックメモリに対応する値となった場合にハイレベルとなるデコーダ (59) からの出力信号をANDゲート (60) に供給している。そして、上記デコーダ (59) からの出力信号を全てのANDゲートに供給しているとともに、全てのANDゲートからの出力信号をNORゲート (61) に供給している。

したがって、上記の構成を採用した場合には、デコーダ (59) からの出力信号がハイレベルの場合において、y座標の最下位桁の変化、x座標の所定桁の変化、および線分描画終了に対応してNORゲート (61) から負論理のピクセルレジスタ切替えタイミング検出フラグを出力することができる。

尚、第6図に示すデコーダ、およびAND - OR - INVERTERは簡単にPLD (Programmable Logic Device) 化することができる。

第7図は上記の実施例において例示された回路構成により生成されたピクセルレジスタ切替えタイミング検出フラグに基いてDDAを停止させることなく、ブロックメモリとしてのDRAMのタイミング制御、およびピクセルレジスタ切替えを行なわせるための回路構成を示す図であり、8つのD - FF (71) (72) ... (78) を有している。

上記D - FF (71) は、図示しないICRTコントローラから出力される水平同期信号 \overline{HSYNC} (第8図C参照) をタイミング入力とし、かつリード転送、またはリフレッシュを受付けたか否かを示すハンドシェーク信号 \overline{HSI} (第8図Q参照) をクリア入力として、DRAMに対するリード転送、またはリフレッシュの要求が発生しているか否かを示すQ出力信号Q1 (第8図H参照) を生成するものであり、このQ出力信号Q1はそのまま、サンプリングストロープ信号SRCK (第8図L参照) をタイミング入力とするD - FF (72) のD入力端子に供給され、DRAMに対する書込みサイクルか、リード転送、リフレッシュサイクルかを示すQ出力信号Q2 (第8図M参照) を生成する。

上記D - FF (73) (74) はピクセルレジスタ切替えタイミング検出フラグ \overline{BOVF} (第8図F参照) を保持するものであり、互いに選択的に動作する点を除けば、互に同一の動作を行なうようにしてある。即ち、上記D - FFの \overline{Q} 出力信号を制御信号とするNANDゲート (79) を通してピクセルレジスタ切替えタイミング検出フラグ \overline{BOVF} がD入力端子に供給されているとともに、1画素毎にレベルが変動するDDA画素ストロープ信号DDARCK (第8図G参照) がORゲート (80) を通してタイミング入力端子に供給されており、しかも、メモリ書込みサイクルが受けられたことを示す負論理のハンドシェーク信号 $\overline{HS2}$ (第8図R参照) がORゲート (81)、およびANDゲート (82) を通してクリア入力端子に供給されている。そして、一方のD - FFに対応させて、D - FF (78) から出力されるQ出力信号SELA (第8図D参照)、および \overline{Q} 出力信号SELB (第8図E参照) が

それぞれORゲート (80) (81) に供給されており、他方のD - FFに対応させて、D - FF (78) から出力されるQ出力信号SELA、および \overline{Q} 出力信号SELBがそれぞれORゲート (81) (80) に供給されている。

したがって、ORゲート (80) に供給されているQ出力信号SELA、或は \overline{Q} 出力信号SELBの内、ローレベルである側のD - FFがデータ保持用として選択され、DDA画素ストロープ信号DDARCKの立上りのタイミングでピクセルレジスタ切替えタイミング検出フラグ \overline{BOVF} が取込まれる。但し、上記ピクセルレジスタ切替えタイミング検出フラグ \overline{BOVF} は、 \overline{Q} 出力信号により制御されるNANDゲート (79) を通して供給されているので{信号BF1、BF2 (第8図I、J) 参照}、ピクセルレジスタフルの状態が発生しそうなタイミングでD入力端子に供給されると同時に後述するORゲート (83) に供給され、そのままホールドされる。

上記D - FF (75) は、次のピクセルレジスタ切替え状態に対応するQ出力信号Q3を生成するものであり、 \overline{Q} 出力信号をD入力端子に供給しているとともに、上記負論理のハンドシェーク信号 $\overline{HS2}$ がタイミング入力端子に供給されている。

上記D - FF (76) (77) は、グリッジを発生させることなく、クロックに同期したサンプリングストロープ信号SRCKを生成するものであり、メモリサイクル終了の2クロック前を示す負論理パルス信号 $\overline{MBF2}$ (第8図O参照) がD - FF (76) のタイミング入力端子に供給されているとともに、メモリサイクル中に必ず1回発生する負論理パルス信号 \overline{CAS} {例えば、DRAMのカラムアドレスストロープ信号 (第8図P参照) } がプリセット入力端子に供給されている。そして、上記D - FF (71) のQ出力信号Q1、および両D - FF (73) (74) に対応するNANDゲート (79) からの出力信号をORゲート (83) を通してD - FF (77) のD入力端子に供給しているとともに、D - FF (76) (77) の \overline{Q} 出力信号、およびサンプリングクロック信号SCK (第8図A参照) を入力とするNANDゲート (84) からの出力信号をサンプリングストロープ信号SRCKとして出力し、D - FF (77) のタイミング入力端子にも供給している。そして、上記負論理パルス信号 \overline{CAS} がD - FF (77) のクリア入力端子に供給されている。また、D - FF (77) のQ出力信号を、立上りのタイミングでメモリサイクルが開始することを示すスタート信号 (第8図N参照) として出力している。

上記D - FF (78) はピクセルレジスタ切替え用の信号SELA、SELBをそれぞれQ出力信号、 \overline{Q} 出力信号として出力するものであり、上記D - FF (75) のQ出力信号がD入力端子に供給されているとともに、上記サンプリングストロープ信号SRCKがタイミング入力端子に供給されており、しかも、上記ORゲート (83) からの出力信号ACDM (第8図K参照) がインバータ (85) を通してG入力端

10

20

30

40

50

子に供給されている。

したがって、Q入力端子に供給される信号がローレベルで、しかもサンプリングストロブ信号SRCKが立上るタイミングで上記D - FF (75) からのQ出力信号を保持し、このQ出力信号のレベルに対応させて、互に逆レベルとなるQ出力信号SELA、および \overline{Q} 出力信号SELBを継続的に出力する。

さらに、負論理の初期化信号 \overline{RESET} (第8図B参照) が上記D - FF (71) (73) (74) ... (78) のクリア入力端子にそれぞれ供給されている。

第7図に示す回路の動作は次のとおりである。

まず、電源投入時、或は処理中断時等に、初期化信号 \overline{RESET} により必要な初期化を行なう。

その後は、負論理のハンドシェーク信号 $\overline{HS2}$ がタイミング入力端子に供給される毎にD - FF (75) のQ出力信号のレベルが交互に変化するので、G入力端子にローレベル信号が供給され、かつサンプリングストロブ信号SRCKが立上るタイミングでD - FF (78) が上記Q出力信号を保持し、Q出力信号のレベルに対応するQ出力信号SELA、および \overline{Q} 出力信号SELBを出力することができる。したがって、Q出力信号SELA、および \overline{Q} 出力信号SELBのレベルに基づいてD - FF (73) (74) の何れかが選択される即ち、ORゲート(80)にローレベル信号が供給されている側のD - FFが選択される。

そして、選択された側のD - FFには、 \overline{Q} 出力信号により制御されるNANDゲート(79)を通して、D入力信号として、ピクセルレジスタ切替えタイミング検出フラグ \overline{BOVF} が供給されているとともに、ORゲート(80)を通して、タイミング入力信号として、DDA画素ストロブ信号DDARCKが供給されているのであるから、DDA画素ストロブ信号DDARCKの立上りのタイミングでピクセルレジスタ切替えタイミング検出フラグ \overline{BOVF} を取込み、そのまま保持する。また、上記、ピクセルレジスタ切替えタイミング検出フラグ \overline{BOVF} は、D - FFのQ出力端子から取出されるのではなく、NANDゲート(79)の出力端子からそのまま取出されるのであるから、1画素分の遅れを伴うことなく、ピクセルレジスタフルが発生するタイミングでORゲート(83)に供給され、D - FF (77) のD入力端子に供給されることにより、Q出力端子から、メモリサイクルの開始を示すスタート信号を出力することができる。

そして、負論理のハンドシェーク信号 $\overline{HS2}$ がタイミング入力端子に供給される毎に、D - FF (73) (74) の選択状態を切替えて、上記一連の動作を行なわせることができる。

第8図は第7図の回路の各部の動作を説明するタイミングチャートであり、T1の期間において画像データを読み出すリード転送動作が行なわれ、T2、T3の期間において画像データの書込み動作が行なわれている。

したがって、第6図、および第7図に示す構成のタイ

ミング制御回路を各ブロックメモリに対応させて設けることにより、DDA (4) の演算動作を停止させることなく、フレームメモリ(1)に対するデータ読出し、およびデータ書込みを順次行なわせることにより、画像メモリデータ処理制御を行なわせることができる。即ち、ソースベクタ、ディスティネーションベクタの傾斜による影響を排除して、どのようなベクタであっても、1画素当りに換算して、DDA (4) の演算所要時間と等しい時間でフレームメモリ(1)におけるマッピング処理を行なわせることができる。

また、上記の実施例において、DRAMとして、デュアルポートDRAMを使用すれば、表示のための読出し所要時間を大巾に短縮することができ、98%程度の時間をデータ書込みのために割当てることができるので、全体として、画像メモリに対するデータ書込み所要時間を短縮することができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、SRAMに代えてFIFOメモリを使用することが可能であるほか、遅延用のFIFOメモリに代えて、DDAよりも所定時間だけ遅延したタイミングでアドレスデータを生成する別個のDDAを使用することが可能であり、さらに、ピクセルレジスタの数、およびタイミング制御回路の数を変化させることが可能であるほか、拡大、縮小、回転等の処理をも行なわせることが可能であり、その他、この発明の要旨を変えない範囲内において種々の設計変更を施すことが可能である。

<発明の効果>

以上のようにこの発明は、通常の描画動作を行なう場合に、DDAによる直線補間演算動作を停止させることなく、高速に描画を行なわせることができるとともに、メモリの任意の領域から読出したソースベクタ上のデータを、アドレスが順次増加させられる画素データ一時保持手段に一時的に保持させ、一時的に保持されたデータを、デコーダから出力されるピクセルレジスタモジュール選択信号に基づいて制御されるピクセルレジスタを介してディスティネーションベクタ上に書込むことにより、DDAによる直線補間演算動作を停止させることなく、高速にbitblt処理を行なわせることができ、しかも、通常のbitblt処理に必要とされていたバレルシフトを不要とすることができるという特有の効果奏する。

【図面の簡単な説明】

第1図はこの発明の画像メモリデータ処理制御装置の一実施例を示すブロック図、

第2図はピクセルレジスタを構成するモジュールの構成を詳細に説明する図、

第3図はピクセルレジスタを構成するモジュールの動作を説明する概略図、

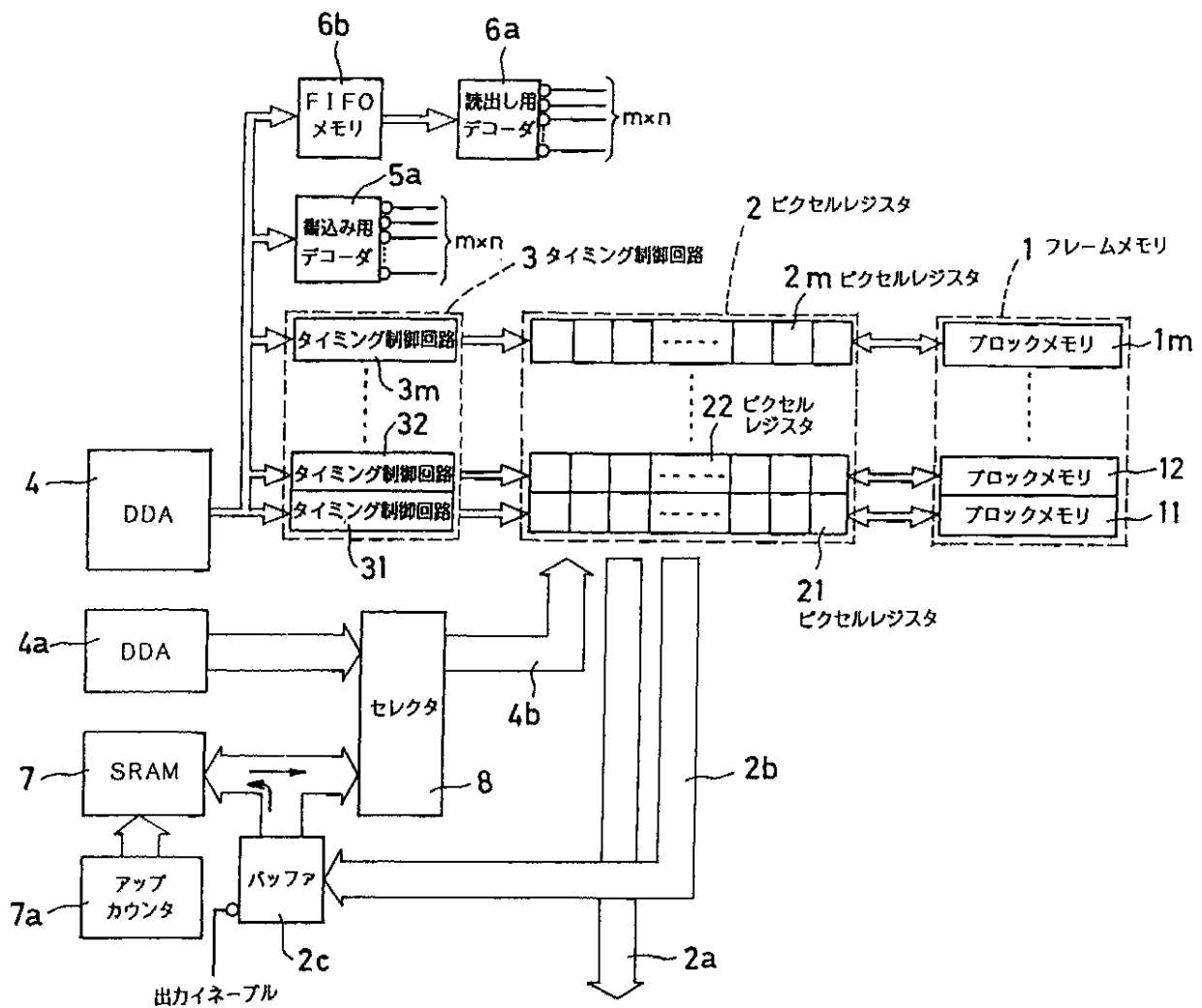
第4図はピクセルレジスタを構成するモジュールとフレームメモリとの関係を概略的に説明する図、

第5図AはDDAをパイプライン化した状態を示す概略

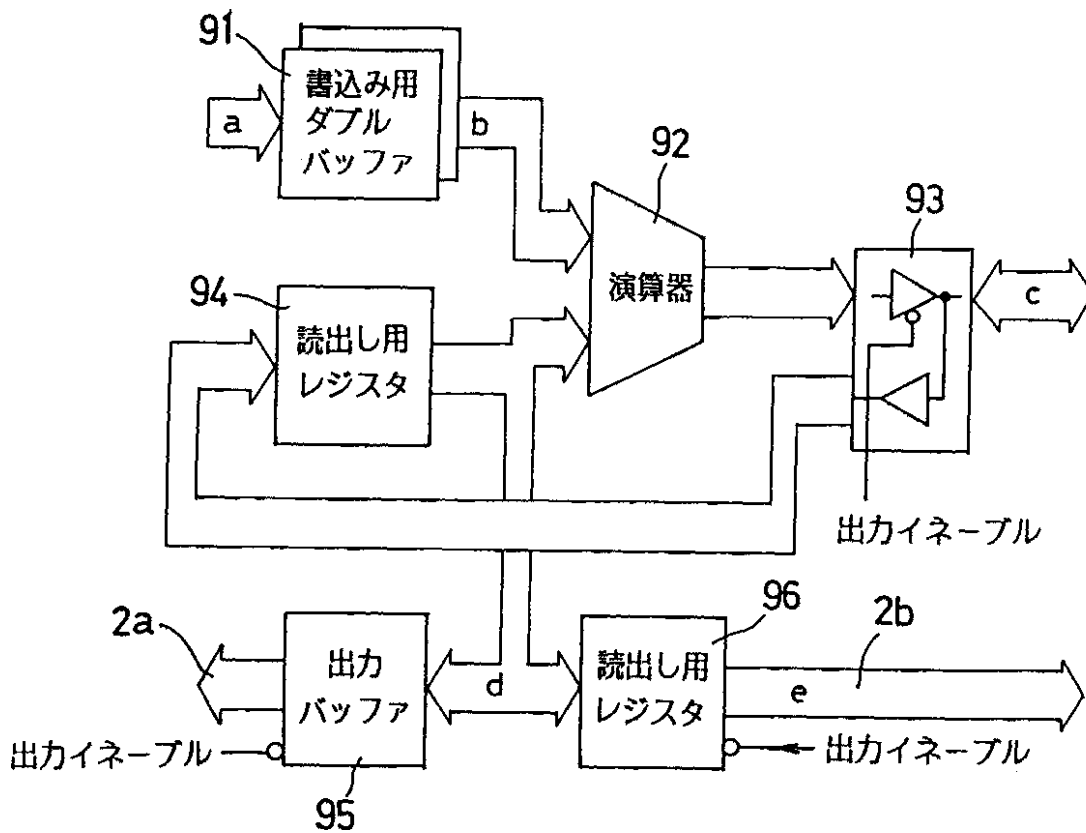
図、
 第5図Bはアドレスデータの特定の桁の内容の変化を検出するための回路構成の一例を示す図、
 第6図はアドレスデータの特定の桁の内容の変化を検出するための回路構成の他例を示す図、
 第7図はピクセルレジスタ切替えタイミング検出フラグに基いてDRAMのタイミング制御、およびピクセルレジスタ切替えを行なわせるための回路構成を示す図、
 第8図は第7図の回路図の動作を説明するタイミングチャート、

* 第9図はbitblt処理を説明する概略図。
 (1)フレームメモリ、(4)(4a)DDA、
 (5a)書込み用デコーダ、
 (6a)読出し用デコーダ、(6b)FIFOメモリ、
 (7)SRAM、(7a)アップカウンタ、
 (8)セレクタ、
 (11)(12) ... (1m)ブロックメモリ、
 (2)(21)(22) ... (2m)ピクセルレジスタ、
 (3)(31)(32) ... (3m)タイミング制御回路、
 *10 (92)演算器

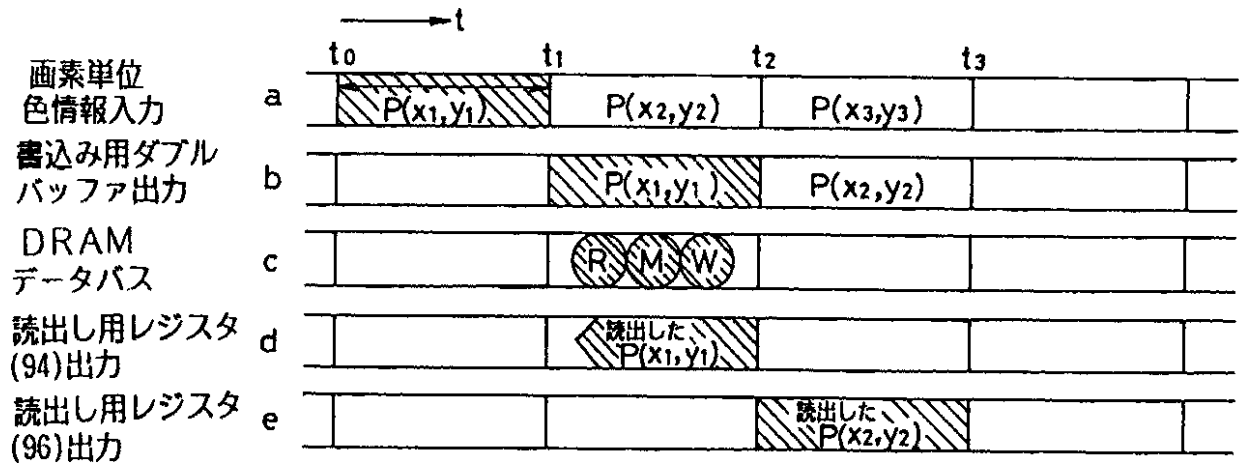
【第1図】



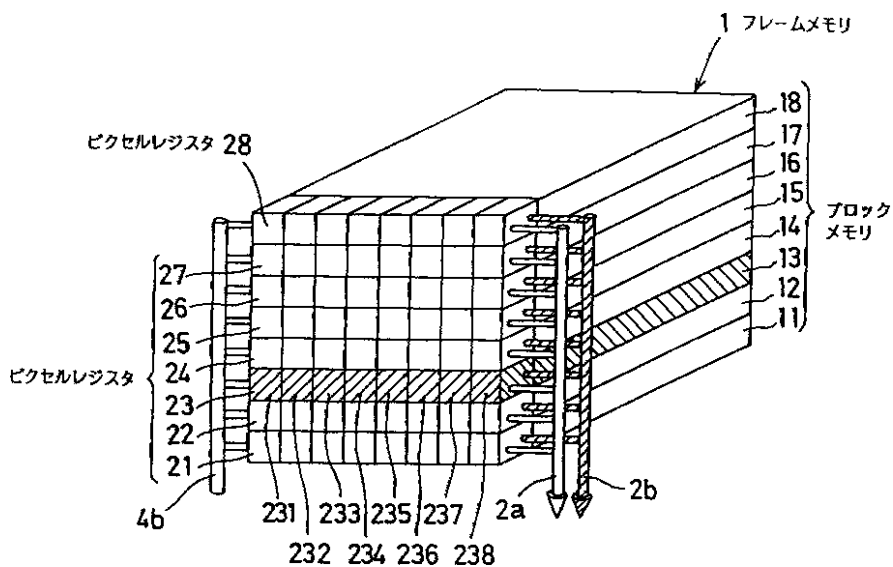
【第2図】



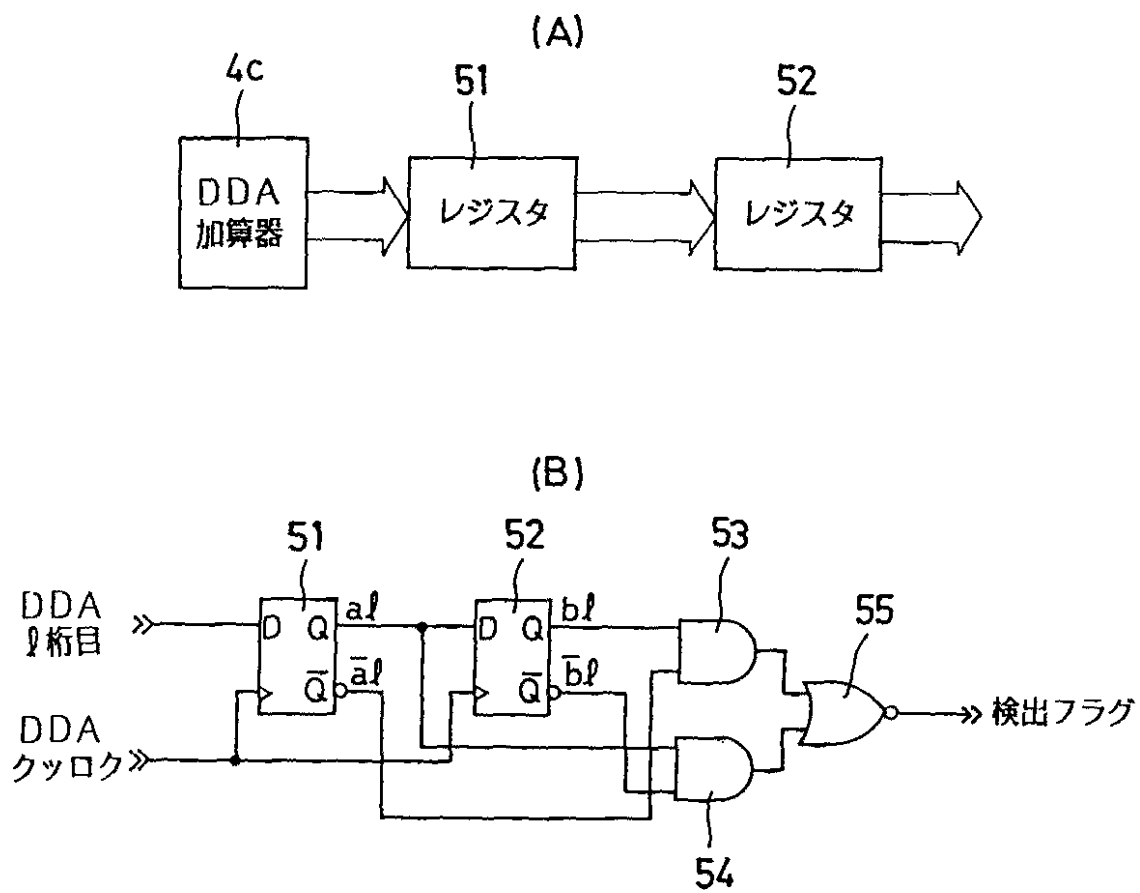
【第3図】



【第 4 図】

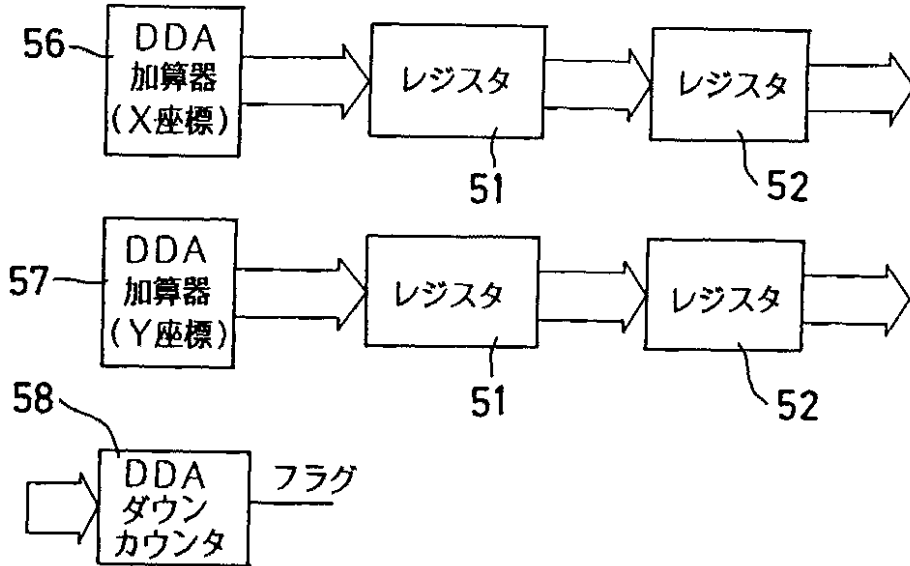


【第 5 図】

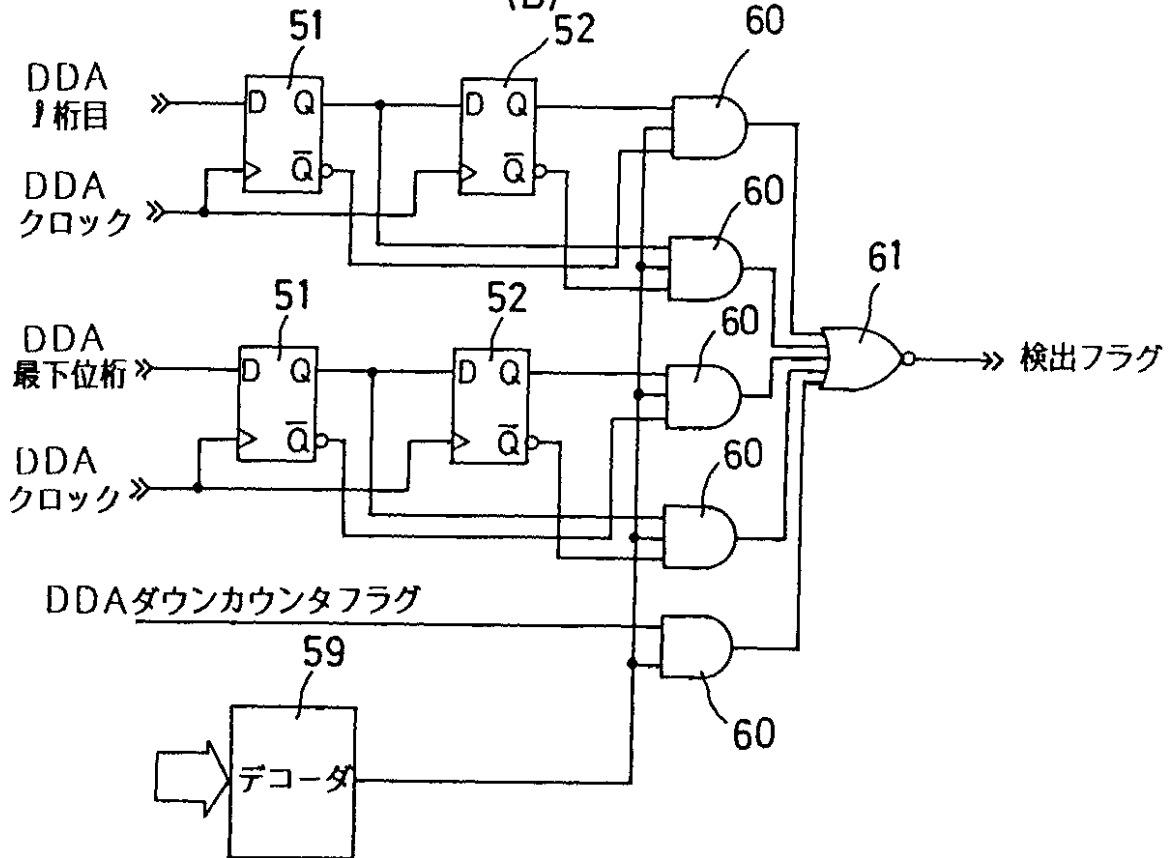


【第6図】

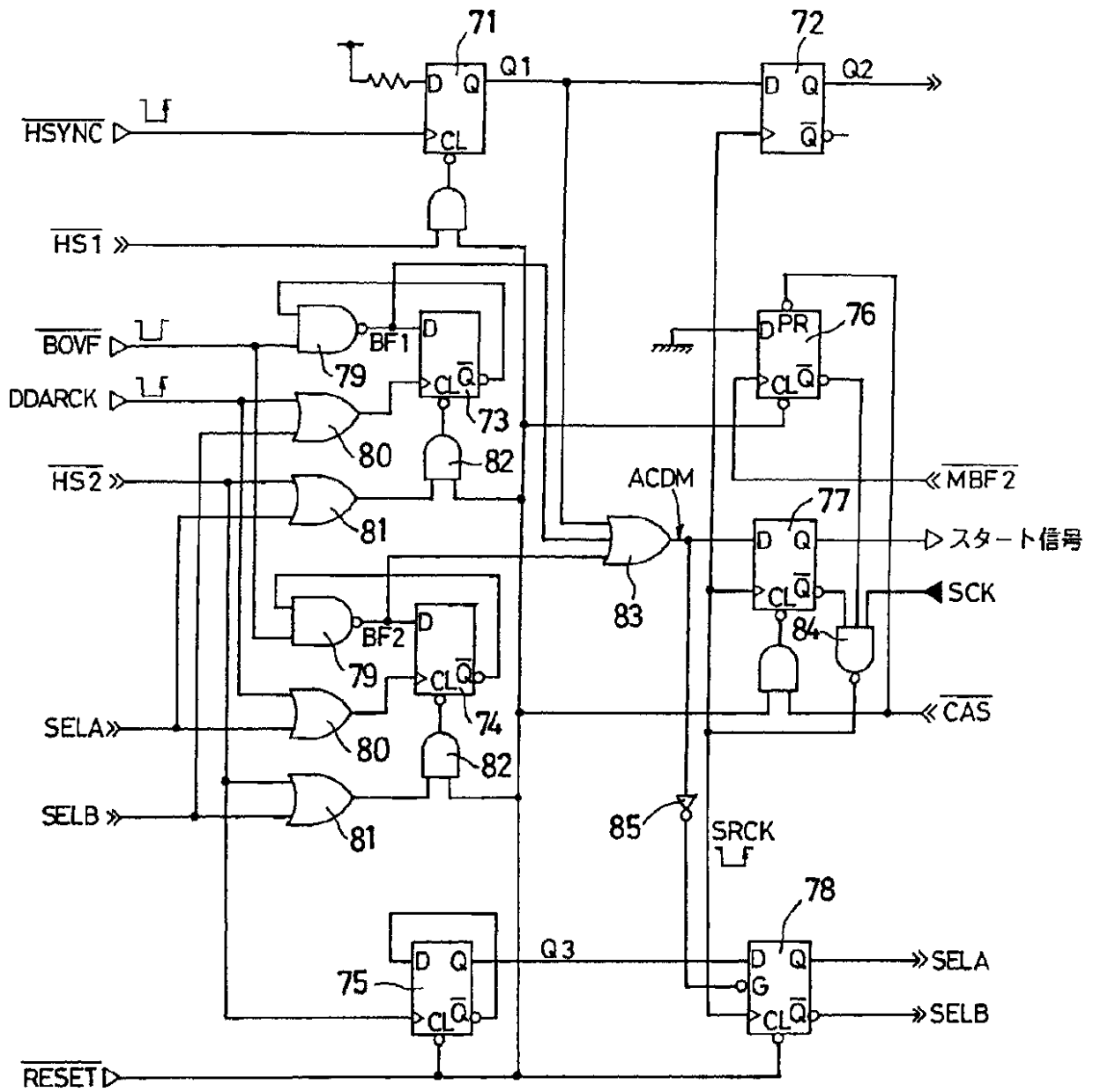
(A)



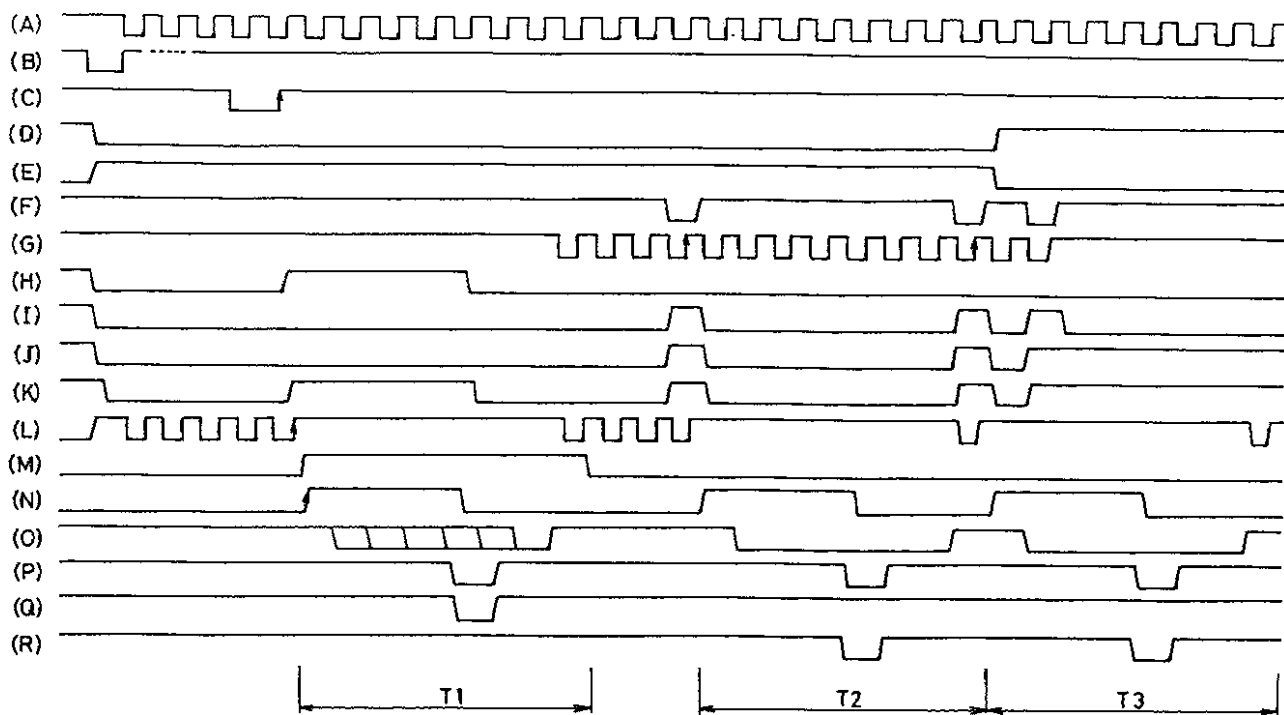
(B)



【第7図】



【第8図】



【第9図】

