

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2730013号

(45) 発行日 平成10年(1998) 3月25日

(24) 登録日 平成 9 年(1997)12月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/00	5 8 0		G 0 6 F 12/00	5 8 0
13/28	3 1 0		13/28	3 1 0 Y

請求項の数2 (全 7 頁)

(21) 出願番号	特願平1-101390	(73) 特許権者	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22) 出願日	平成1年(1989)4月20日	(72) 発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65) 公開番号	特開平2-278444		
(43) 公開日	平成2年(1990)11月14日		
審判番号	平7-9672	合議体	
		審判長	祖父江 栄一
		審判官	大橋 隆夫
		審判官	森 繁明
		(56) 参考文献	特開 昭59-114657 (J P , A) 特開 昭58-144272 (J P , A)

(54) 【発明の名称】 座標データ転送方法およびその装置

1

(57) 【特許請求の範囲】

【請求項1】データ格納手段(2)の一部を、所定の規則で座標データが格納されている座標データ格納部として利用し、この座標データ格納部から座標データを読み出して直線補間演算手段に転送する方法であって、演算処理手段(1)が上記データ格納手段(2)の所定のアドレスをアクセスしたことを条件として演算処理手段(1)を所定時間だけウェイトさせ、演算処理手段(1)がウェイトしている期間に、上記規則に基づいて座標データ格納部に対応する読み出しアドレスを順次生成してデータ格納手段(2)に供給し、読み出された座標データを直線補間手段に転送させることを特徴とする座標データ転送方法。

【請求項2】データ格納手段(2)の一部を、所定の規則で座標データが格納されている座標データ格納部とし

2

て利用し、この座標データ格納部から座標データを読み出して直線補間演算手段に転送する装置であって、データ格納手段(2)の所定のアドレスをアクセスしたことを条件として所定時間だけウェイトする演算処理手段(1)と、演算処理手段(1)がウェイトしたことを条件として、上記規則に基づいて座標データ格納部に対応する読み出しアドレスを順次生成してデータ格納手段(2)に供給し、読み出された座標データを直線補間演算手段に転送させる読み出しアドレス生成手段(3)とを具備することを特徴とする座標データ転送装置。

【発明の詳細な説明】

<産業上の利用分野>

この発明は座標データ転送方法およびその装置に関し、さらに詳細に言えば、直線補間演算等のための複数の座標データを順次読み出して該当する処理部に供給する

場合に好適な座標データ転送方法およびその装置に関する。

<従来の技術、および発明が解決しようとする課題>

従来から種々のコンピュータ・システムが提供されているが、プログラム・メモリ・バスとデータ・メモリ・バスとが分離されていないシステムと、両バスが完全に分離されたシステムとに大別される。

そして、前者のシステムを用いてグラフィック・ディスプレイ装置を構成した場合には、例えば、リスト・メモリから座標データを読み出して直線補間演算器（以下、DDAと略称する）に供給するために、第7図に示すように、プログラム・メモリからロード・インストラクション（R0）をフェッチし、ロード・インストラクション（R0）を実行することによりリスト・メモリから1ワード分の座標データ（r0）を読み出し、次いで、プログラム・メモリからストア・インストラクション（W0）をフェッチし、ストア・インストラクション（W0）を実行することによりDDAに1ワード分の座標データ（r0）を転送することにより、1つの座標要素をリスト・メモリからDDAに転送する動作が完了する。

したがって、以上の一連の動作を反復することにより、例えば3次元グラフィック・ディスプレイ装置であれば、x座標要素、y座標要素、z座標要素、R要素、G要素およびB要素を順次DDAに転送することができ、補間演算を行なうべき両端点について上記要素の転送が行われた後にDDAを動作させて多数の座標データ、色データを生成することができ、生成された座標データおよび色データに基づいて可視的表示を行なうことができる。

しかし、上記説明から明らかなように、1つの座標要素を転送するために、2回のインストラクション・フェッチおよび2回のインストラクション実行が必要になり、特に全く同じ座標データがデータ・メモリ・バスに2回のことになるので、座標データ転送の能率が著しく低下するという問題がある。

また、後者のシステムを用いてグラフィック・ディスプレイ装置を構成した場合には、例えば、リスト・メモリから座標データを読み出して直線補間演算器（以下、DDAと略称する）に供給するために、第8図に示すように、プログラム・メモリ・バスを通してプログラム・メモリからインストラクションをフェッチし、実行するサイクルと並行してデータ・メモリ・バスを通してリスト・メモリから座標データを読み出し、DDAに供給するサイクルを行なうことができるので、座標データ転送の能率を著しく高めることができる。

しかし、プログラム・メモリ・バスとデータ・メモリ・バスとが分離されているのであるからシステム全体として構成が複雑化するという問題がある。また、プロセッサの外部制御信号と内部ハードウェアとの制約からプロセッサによる外部メモリのアクセス所要時間はプロセ

ッサのフェッチ時間、またはインストラクション実行時間と比較してかなり短いことが要求されているのであるから、全体としてロス・タイムがかなり長く、このロス・タイムの影響で全体としてみた座標データ転送速度を余り高速化できないという問題がある。具体的には、テキサス・インストルメント社製のプロセッサTMS320C25をCPUクロック100nsecで動作させる場合における外部メモリのアクセス時間は35nsec以下でなければならず、65nsec以上のロス・タイムが発生するのである。

10 <発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、ロス・タイムを大幅に短縮して効率的な座標データの転送を行なわせることができる座標データ転送方法およびその装置を提供することを目的としている。

<課題を解決するための手段>

上記の目的を達成するための、この発明の座標データ転送方法は、演算処理手段がデータ格納手段の所定のアドレスをアクセスしたことを条件として演算処理手段を所定時間だけウェイトさせ、演算処理手段がウェイトしている期間に、座標データの格納規則に基づいて座標データ格納部に対応する読み出しアドレスを順次生成してデータ格納手段に供給し、読み出された座標データを直線補間手段に転送させる方法である。

上記の目的を達成するための、この発明の座標データ転送装置は、データ格納手段の所定のアドレスをアクセスしたことを条件として所定時間だけウェイトする演算処理手段と、演算処理手段がウェイトしたことを条件として、座標データの格納規則に基づいて座標データ格納部に対応する読み出しアドレスを順次生成してデータ格納手段に供給し、読み出された座標データを直線補間演算手段に転送させる読み出しアドレス生成手段とを具備している。

30 <作用>

以上の座標データ転送方法であれば、データ格納手段の一部を、所定の規則で座標データが格納されている座標データ格納部として利用し、この座標データ格納部から座標データを読み出して直線補間演算手段に転送する場合に、演算処理手段によりデータ格納手段の所定のアドレスをアクセスさせることにより、所定時間だけウェイトさせる。そして、演算処理手段がウェイトしている期間に、座標データの格納規則に基づいて対応する読み出しアドレスを順次生成してデータ格納手段に供給し、読み出された座標データを直線補間手段に転送させるので、演算処理手段によりメモリ・アクセスを行なう場合のインターフェース規格の制約を受けることなく高速に複数の座標データの転送を行なうことができる。

50 以上の構成の座標データ転送装置であれば、データ格納手段の一部を、所定の規則で座標データが格納されている座標データ格納部として利用し、この座標データ格納部から座標データを読み出して直線補間演算手段に転送

する場合に、演算処理手段によりデータ格納手段の所定のアドレスをアクセスさせることにより、所定時間だけウェイトさせる。そして、演算処理手段がウェイトしている期間、読出しアドレス生成手段により、座標データの格納規則に基づいて対応する読出しアドレスを順次生成してデータ格納手段に供給し、読出された座標データを直線補間手段に転送させる。即ち、演算処理手段によりメモリ・アクセスを行なう場合のインターフェース規格の制約を受けることなく高速に複数の座標データの転送を行なうことができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第1図はこの発明の座標データ転送方法の一実施例を示すフローチャートであり、ステップ①において、プログラム・メモリの、座標データ転送のために予め定められた特定アドレスをアクセスしたか否かを判別し、特定アドレス以外のアドレスをアクセスしたと判別された場合には、ステップ②においてアクセス・アドレスに格納されているインストラクションに基づいて定まる処理を行ない、その後、再びステップ①の判別を行なう。逆に、特定アドレスがアクセスされたと判別された場合には、ステップ③においてプロセッサをウェイト状態とし、ステップ④においてリスト・メモリを出カイネーブル状態に設定し、ステップ⑤において、リスト・メモリにおける座標データ格納規則に対応して順次変化する読出しアドレスを生成し、ステップ⑥において、生成された読出しアドレスに基づく座標データの読出しおよび該当する処理部への座標データの供給を行ない、ステップ⑦においてウェイト状態設定時間が経過したか否かを判別し、経過していなければ、再びステップ⑤の処理を行なう。逆に、ウェイト状態設定時間が経過していれば、ステップ⑧においてプロセッサのウェイト状態を解決し、再びステップ①の判別を行なう。

したがって、例えば第2図に示すようにx座標データ、y座標データ、z座標データおよび対応する色データとしてRデータ、Gデータ、Bデータが同一ロー・アドレスに格納されているリスト・メモリからDDAへの転送を行なわせる場合には、データ・メモリ空間の予め定められた特定アドレスをアクセスしてプロセッサがウェイト状態になっている間に“1”ずつ増加するラム・アドレスを順次生成してリスト・メモリからのデータ読出しを行なうことができる。この結果、リスト・メモリからDDAへのデータ転送は、プロセッサによりメモリをアクセスする場合のインターフェース規格に制約されることなく著しく高速に行なうことができる。

<実施例2>

第3図はこの発明の座標データ転送装置を組込んだグラフィック・ディスプレイ装置の要部を示すブロック図であり、プロセッサ(1)とリスト・メモリ(2)(第

2図に示すように座標データおよび色データが格納されているもの)との間におけるデータ授受をバッファ(11)およびリスト・メモリ・バス(21)を介して行なうようにしているとともに、リスト・メモリ(2)からの読出しデータをリスト・メモリ・バス(21)およびバッファ(22)を介してDDAバス(23)に送出するようにしている。上記プロセッサ(1)から出力されるアドレスおよび制御信号がバッファ(12)を介して読出しアドレス生成部(3)に供給されるとともに、アドレスの下位ビットがセレクト(13)に供給される。そして、読出しアドレス生成部(3)から出力されるアドレス(“1”ずつ増加するコラム・アドレス)もセレクト(13)に供給され、読出しアドレス生成部(3)から出力される選択信号に基づいてセレクト(13)により選択されたアドレスをリスト・メモリ(2)に供給するとともに、再び読出しアドレス生成部(3)に供給することによりDDAに対するストロブ信号を生成する。また、読出しアドレス生成部(3)から出力されるウェイト解除信号をバッファ(14)を介してプロセッサ(1)に供給している。さらに、順次変化するロー・アドレスを生成してリスト・メモリ(2)に供給するリスト・メモリ・アクセス部(4)(特開昭62-74164号公報参照)を有している。上記セレクト(13)は、アドレス生成部(3)から出力される選択信号に基づいて、プロセッサから出力されるアドレスの下位ビットまたはアドレス生成部(3)から出力されるアドレスを選択してリスト・メモリ(2)に供給するものであり、プロセッサ(1)が特定アドレスをアクセスしてプロセッサ(1)がウェイト状態になっている間のみアドレス生成部(3)から出力されるアドレスを選択してリスト・メモリ(2)に供給する。

第4図は読出しアドレス生成部(3)の一例を示すブロック図であり、シリアル入力パラレル出力のシフト・レジスタ(31)と、非同期クリア可能なアップ・カウンタ(32)と、デコーダ(33)と、NANDゲート(34)とを有している。

上記シフト・レジスタ(31)は、入力端子およびクリア端子に、メモリ空間の特定アドレスをアクセスしたことを示すアクセス開始指示信号が供給されているとともに、タイミング入力端子に、メモリ・アクセスに適した周期の制御クロックが供給されている。そして、アクセス開始指示信号によって同時に立下るとともに、1クロックずつずれて立上る8個の出力信号(QA),(QB),...(QH)のうち、(QG)を反転させてNANDゲート(34)に供給しているとともに、(QA)および制御クロックをもNANDゲート(34)に供給しており、また、上記(QG)をウェイト解除信号としてバッファ(14)に供給している。上記出力信号(QA)はアクセス開始指示信号により立下ってから1クロック後に立上り、上記出力信号(QG)は7クロック後に立上るのであるから、出力信号(QA)が立上ってから出力信号(QG)が立上るまでの間だ

けNANDゲート(34)が開き、制御クロックを出力信号(CK)として出力することができる。

上記アップ・カウンタ(32)は、クリア端子に、メモリ空間の特定アドレスをアクセスしたことを示すアクセス開始指示信号が供給されているとともに、タイミング入力端子に、上記NANDゲート(34)の出力信号(CK)が供給されている。そして、出力信号(CK)が供給される毎に“1”ずつ増加する3ビットのデータがリスト・メモリ(2)に対するコラム・アドレスとして出力される。

上記デコーダ(33)は、上記3ビットのデータを入力とし、かつNANDゲート(34)からの出力信号(CK)を制御信号として、各DDA(x座標用DDA、y座標用DDA、z座標用DDA、Rデータ用DDA、Gデータ用DDAおよびBデータ用DDA)に対するストロブ信号(XL0D)(YL0D)(ZL0D)(RL0D)(GL0D)(BL0D)を生成するものである。

上記の構成のグラフィック・ディスプレイ装置の動作を、第5図に示すタイミング・チャートを参照しながら説明する。

リスト・メモリ(2)に格納されている座標データに対応するDDAに転送する場合には、第5図Bに示すようにプロセッサ(1)から出力される入出力ストロブ信号(\overline{DS})をロー・レベルに立下げるとともに、データ・メモリ空間の特定アドレスをアクセスすべく予め設定された特定アドレスを出力すればよく(第5図C参照)、第5図Dに示すようプロセッサ(1)から出力される信号(\overline{MSC})がロー・レベルに立下がる。そして、信号(\overline{MSC})の立下がりと同期してアクセス開始指示信号(第5図E参照)が立下がるので、シフト・レジスタ(31)およびアップ・カウンタ(32)がクリアされる。この結果、シフト・レジスタ(31)の出力信号(QA)(QG)が共にロー・レベルに立下がる(第5図G、H参照)。しかし、出力信号(QA)は第5図Fに示す制御クロックの1周期後にはハイ・レベルになるのであるから、その後はNANDゲート(34)から制御クロックと等しい周期の出力信号(CK)(第5図J参照)が出力され、アップ・カウンタ(32)から“1”ずつ増加する3ビットのデータ(第5図K参照)が出力される。この3ビットのデータはコラム・アドレスとしてリスト・メモリ(2)に供給されるので、上記出力信号(CK)の周期でリスト・メモリ(2)の該当ロー・アドレスから順次変化するコラム・アドレスのデータが読出される。また、上記3ビットのデータは同時にデコーダ(33)に供給され、読出しデータに対応するDDA用のストロブ信号(第5図L~Q参照)が生成されるのであるから、出力信号(CK)の周期でリスト・メモリ(2)から順次読出されるx座標データ、y座標データ、z座標データ、Rデータ、GデータおよびBデータをそれぞれ該当するDDAに供給することができる。

そして、上記データの転送が行なわれた後は、出力信

号(QG)がハイ・レベルに立上るので、出力信号(CK)がハイ・レベルに維持され続けるとともに、プロセッサ(1)に対するウェイト解除を指示する。

尚、リスト・メモリ(2)に対するロー・アドレスはリスト・メモリ・アクセス部(4)により供給される。したがって、各DDAに必要なデータが転送されたことを条件として補間演算を行なうことができる。

この結果、第6図Aに示すように、データ・メモリ空間の特定アドレスをアクセスした後、所定のCPUクロック数だけウェイトさせればよく、この期間に、読出しアドレス生成部(3)の制御下において著しく高速にデータ転送を行なうことができる(第6図B参照)。

また、プロセッサ(1)から出力されるアドレスを選択すべきセクタ(13)を動作させることにより従来と同様の方法でリスト・メモリ(2)のアクセスを行なわせることもできる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、デコーダ(33)をポリゴン・フィル処理の右辺用と左辺用とにそれぞれ設けることが可能であるほか、アップ・カウンタ(32)、デコーダ(33)およびNANDゲート(34)をプログラマブル・アレイ・ロジック化して異なるフォーマットでリスト・メモリ(2)にデータが格納されている場合に対処し得るようにすることが可能であり、その他、この発明の要旨を変更しない範囲内において種々の設計変更を施すことが可能である。

<発明の効果>

以上のように第1の発明は、演算処理手段がウェイトしている期間に、座標データの格納規則に基づいて対応する読出しアドレスを順次生成してデータ格納手段に供給し、読出された座標データを直線補間手段に転送させるので、演算処理手段によりメモリ・アクセスを行なう場合のインターフェース規格の制約を受けることなく高速に複数の座標データの転送を行なうことができるという特有の効果を奏する。

第2の発明も、演算処理手段がウェイトしている期間に、座標データの格納規則に基づいて対応する読出しアドレスを順次生成してデータ格納手段に供給し、読出された座標データを直線補間手段に転送させるので、演算処理手段によりメモリ・アクセスを行なう場合のインターフェース規格の制約を受けることなく高速に複数の座標データの転送を行なうことができるという特有の効果を奏する。

【図面の簡単な説明】

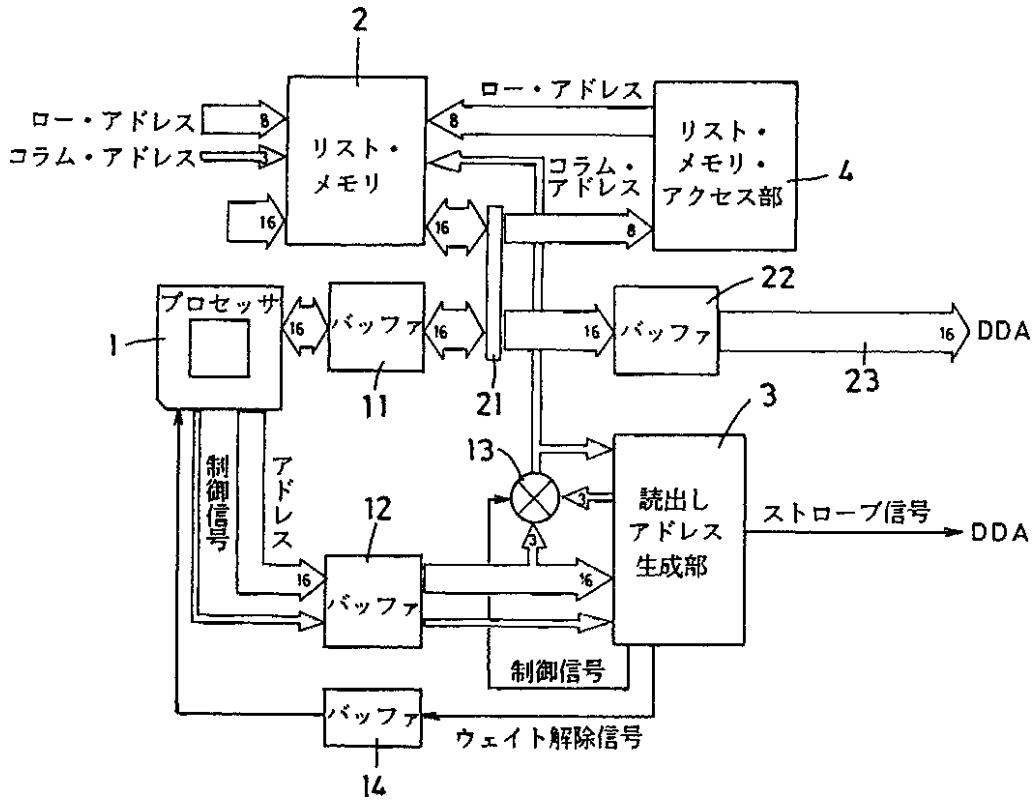
第1図はこの発明の座標データ転送方法の一実施例を示すフローチャート、

第2図はリスト・メモリにおけるデータ格納例を示す図、

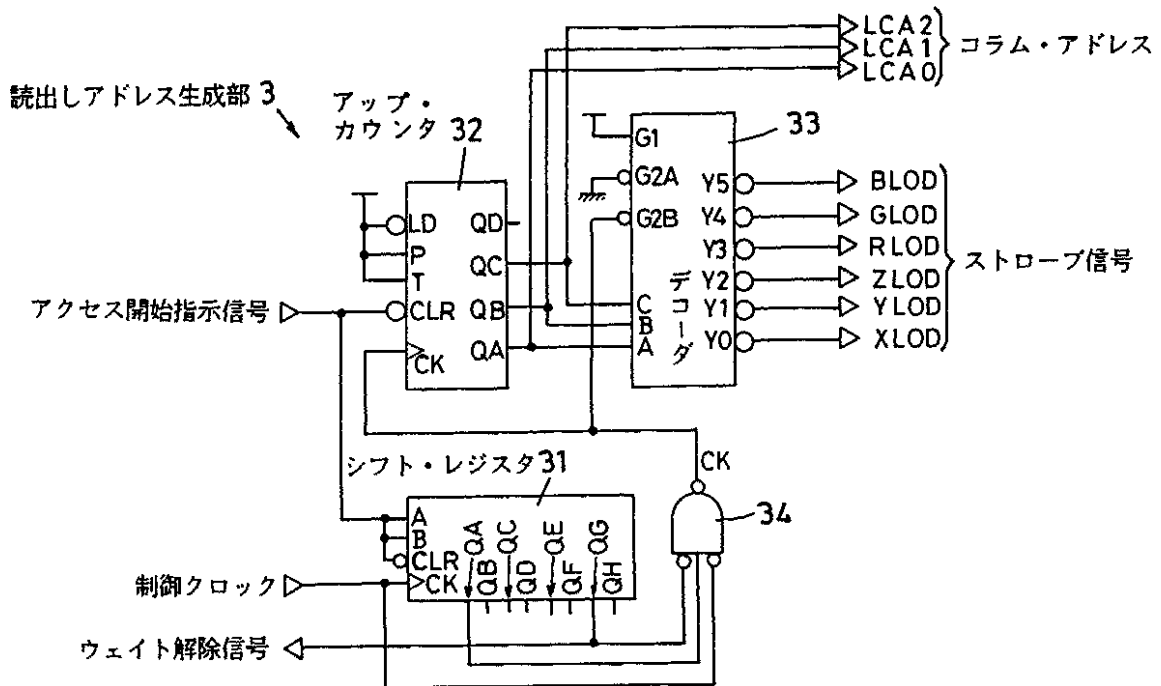
第3図はこの発明の座標データ転送装置を組込んだグラフィック・ディスプレイ装置の要部を示すブロック図、

第4図は読出しアドレス生成部の一例を示すブロック

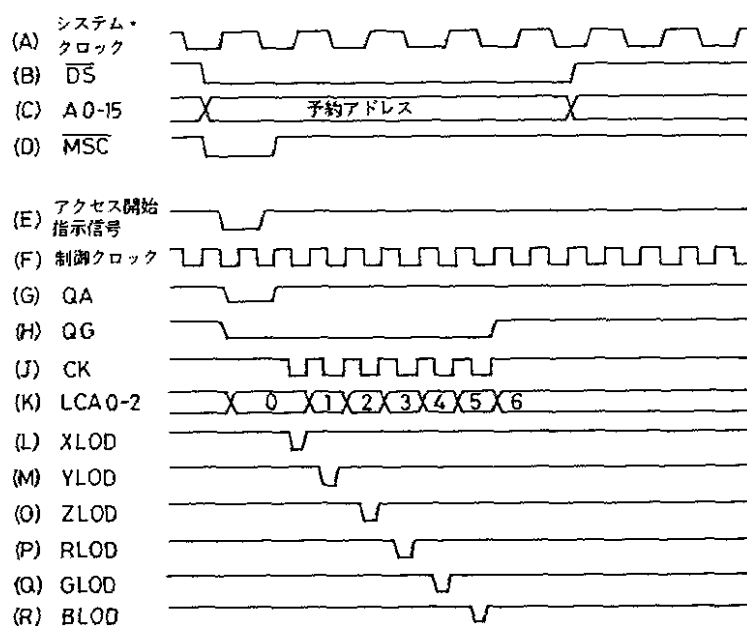
【第3図】



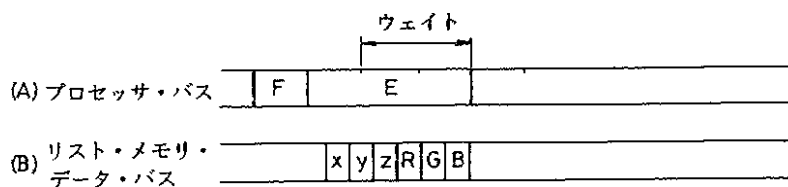
【第4図】



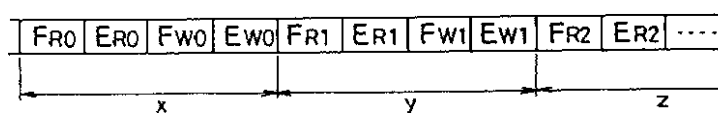
【第5図】



【第6図】



【第7図】



【第8図】

