

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2741710号

(45) 発行日 平成10年(1998) 4月22日

(24) 登録日 平成10年(1998) 1月30日

(51) Int.Cl. ⁶	識別記号	F I	
G 0 6 T 1/60		G 0 6 F 15/64	4 5 0 F
G 0 6 F 12/00	5 8 0	12/00	5 8 0

請求項の数9 (全 20 頁)

(21) 出願番号	特願平1-73096	(73) 特許権者	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22) 出願日	平成1年(1989) 3月23日	(72) 発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65) 公開番号	特開平2-289095	合議体	
(43) 公開日	平成2年(1990) 11月29日	審判長	荻巣 誠
審査請求日	平成5年(1993) 3月1日	審判官	稲葉 慶和
審判番号	平7-6563	審判官	森 繁明
審判請求日	平成7年(1995) 3月30日		

最終頁に続く

(54) 【発明の名称】 メモリ書込み制御方法およびその装置

1

(57) 【特許請求の範囲】

【請求項1】表示専用のフレーム・メモリ(5)の内容に基づいて図形を可視的に表示する描画装置において、少なくとも内容を表示専用のフレーム・メモリ(5)に供給することが可能であり、それ自体は表示機能を有していないDRAMから構成される描画メモリ(3)を設けておいて、この描画メモリ(3)を $m \times n$ (m, n は自然数)の大きさの矩形小領域(3a)に分割し、矩形小領域(3a)に対して直線補間器(1)から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて矩形小領域(3a)内に対する高速アクセスを行なうことを特徴とするメモリ書

2

込み制御方法。

【請求項2】表示専用のフレーム・メモリ(5)の内容に基づいて図形を可視的に表示する描画装置において、少なくとも内容を表示専用のフレーム・メモリ(5)に供給することが可能であり、それ自体は表示機能を有していないDRAMから構成される描画メモリ(3)を有しているとともに、この描画メモリ(3)が直線補間器(1)から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)の大きさの矩形小領域(3a)に分割されており、矩形小領域(3a)を指示するためのロー・アドレスおよび矩形小領域(3a)内の各画素を指示するための上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスを生成して矩形小領域(3a)内

10

に対する高速アクセスを行なう制御手段(6)を有していることを特徴とするメモリ書込み制御装置。

【請求項3】表示機能を有していない描画メモリ(3)が複数個のメモリ・デバイスで構成されるとともに、複数個のメモリ・デバイス(3b)(3c)で描画メモリ(3)の1プレーンが構成されており、1プレーンを構成するメモリ・デバイス(3b)(3c)の数と等しい個数の書込み用ダブル・バッファ・メモリ(2b)(2c)を有しているとともに、複数個の直線補間演算器(1b)(1c)を有しており、制御手段(6)が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットにもとづいてロー・アドレスおよびコラム・アドレスを生成するものである上記特許請求の範囲第2項記載のメモリ書込み制御装置。

【請求項4】表示専用のフレーム・メモリ(5)の内容に基づいて図形を可視的に表示する描画装置において、内容を表示専用のフレーム・メモリ(5)に供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないDRAMから構成される描画メモリ(7)を設けておいて、この描画メモリを $m \times n$ (m, n は自然数)の矩形小領域(7a)に分割するとともに、対応する画素の両メモリ領域を割当て、矩形小領域(7a)に対して直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて矩形小領域(7a)内に対する高速アクセスを行なうことを特徴とするメモリ書込み制御方法。

【請求項5】表示専用のフレーム・メモリ(5)の内容に基づいて図形を可視的に表示する描画装置において、内容を表示専用のフレーム・メモリ(5)に供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないDRAMから構成される描画メモリ(7)を有しているとともに、この描画メモリ(7)が直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)の大きさの矩形小領域(7a)に分割されており、矩形小領域(7a)を指示するためのロー・アドレスおよび矩形小領域(7a)内の各画素を指示するための上記互いに異なる方向のアドレスの残余ビットから構成されるコラム・アドレスを生成して矩形小領域(7a)内に対する高速アクセスを行なう制御手段(6)を有していることを特徴とするメモリ書込み制御装置。

【請求項6】表示機能を有していない描画メモリ(7)が複数個のメモリ・デバイスで構成されるとともに

に、複数個のメモリ・デバイスでメモリの1プレーンが構成されており、1プレーンを構成するメモリ・デバイスの数と等しい個数の書込み用ダブル・バッファ・メモリを有しているとともに、複数個の直線補間演算器を有しており、制御手段(6)が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットに基づいてロー・アドレスおよび下位ビットがメモリ領域選択信号として割当てられたコラム・アドレスを生成するものである上記特許請求の範囲第5項記載のメモリ書込み制御装置。

【請求項7】表示専用のフレーム・メモリ(5)の内容に基づいて図形を可視的に表示する描画装置において、内容を表示専用のフレーム・メモリ(5)に供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないDRAMから構成される描画メモリ(7)を設けておくとともに、セクショニング値のデータ・ビットのうち、1/2の桁分を格納するバッファ領域と、残余の1/2桁分を格納するバッファ領域を有し、かつ描画専用メモリ(7)の1/2の容量の、DRAMから構成されるセクショニング・バッファ(8)を設けておいて、描画専用メモリ(7)およびセクショニング・バッファ(8)を $m \times n$ (m, n は自然数)の矩形小領域(7a)(8a)に分割するとともに、描画専用メモリ(7)の矩形小領域(7a)に対応する画素の両メモリ領域を割当て、セクショニング・バッファ(8)の矩形小領域(8a)に対応する画素の両バッファを割当て、矩形小領域(7a)(8a)に対して直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて描画専用メモリ(7)およびセクショニング・バッファ(8)の矩形小領域(7a)(8a)内に対する高速アクセスを並行して行なうことを特徴とするメモリ書込み制御方法。

【請求項8】表示専用のフレーム・メモリ(5)の内容に基づいて図形を可視的に表示する描画装置において、内容を表示専用のフレーム・メモリ(5)に供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないDRAMから構成される描画専用メモリ(7)と、セクショニング値を1/2の桁数分のビットに区画して格納するDRAMから構成されるセクショニング・バッファ(8)とを有しているとともに、描画専用メモリ(7)およびセクショニング・バッファ(8)が直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)の大きさの矩形小領域(7a)(8a)に分割されており、矩形小領域(7a)(8a)を指

示するためのロー・アドレスおよび矩形小領域(7a)(8a)内の各画素を指示するための上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスを生成して矩形小領域(7a)(8a)に対する高速アクセスを行なう描画専用メモリ用制御手段(72)およびセクショニング・バッファ用制御手段(82)を有していることを特徴とするメモリ書込み制御装置。

【請求項9】描画専用メモリ(7)およびセクショニング・バッファ(8)がそれぞれ複数個のメモリ・デバイスで構成されているとともに、互いに等しい個数のメモリ・デバイスで描画専用メモリ(7)の1プレーンおよびセクショニング・バッファ(8)の1プレーンがそれぞれ構成されており、1プレーンを構成するメモリ・デバイスの数と等しい個数の描画専用メモリ書込み用ダブル・バッファ・メモリ(71)およびセクショニング・バッファ書込み用ダブル・バッファ・メモリ(81)を有しているとともに、複数個の直線補間演算器(73)(83)を有しており、描画専用メモリ用制御手段(72)が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットに基づいてロー・アドレスおよび下位ビットがメモリ領域選択信号として割当てられたコラム・アドレスを生成するものであり、セクショニング・バッファ用制御手段(82)が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットに基づいてロー・アドレスおよび下位ビットがビット選択信号として割当てられたコラム・アドレスを生成するものである上記特許請求の範囲第8項記載のメモリ書込み制御装置。

【発明の詳細な説明】

産業上の利用分野

この発明はメモリ書込み制御方法およびその装置に関し、さらに詳細に言えば、画像メモリを表示専用メモリと描画専用メモリとに分割しておいて、描画メモリに対する描画速度を高速化する新規な方法および装置に関する。

従来の技術、および発明が解決しようとする課題

グラフィックス表示装置においては少なくとも1画面分の画像データを保持しておくための画像メモリが必要であり、一般的には、表示中に次の画像データを書き換えることができるようにデュアル・プレーン構成が採用されているのであるから、著しく多数のメモリ・デバイス、通常はダイナミック・ランダム・アクセス・メモリ(以下、DRAMと略称する)で画像メモリを構成しなければならない。例えば、1画面が1280×1024画素であり、DRAMの容量が256Kビットであれば、1プレーン当たり5個のDRAMが必要であり、1670万色の表示を行なおうとすれば24プレーンが必要になるのであるから、ワーキング・プレーンを考慮しなくても120個のDRAMが必要になる。また、画像メモリの1プレーンが2K×1Kになれば、1ブ

レーン当たり8個のDRAMが、全体で192個のDRAMが必要になる。勿論、デュアル・プレーン構成であれば全体として必要なDRAMの個数が2倍になる。

したがって、基板全体に占めるDRAMの実装面積の割合が大きくなり、グラフィックス表示装置が全体として大型化してしまう。

最近では、DRAMの集積度が向上し、1MビットのDRAMが提供されるようになってきており、1MビットのDRAMを使用すれば、全体として必要なDRAMの個数をほぼ1/4に減少させることができる。しかし、1回にアクセスできるビット数は256KビットのDRAMも1MビットのDRAMも共に4ビットであるから、DRAMの個数が減少すれば、画像メモリ全体としてみた場合において1回に書込み可能なビット数が1/4に減少してしまい、256KビットのDRAMで画像メモリを構成した場合にはデータ生成速度が例えば50nsのDDAを殆ど休止させることなく動作させることができているのに対して、1MビットのDRAMが画像メモリを構成した場合にはDDAを休止させなければならない時間がかなり長くなるので、グラフィックス表示装置において最も重要視される表示速度が著しく低下してしまうという問題がある。また、同ーキャン・ライン上の多数の画素を高速にアクセスするための高速ページ・モード、ページ・モード、スタティック・コラム・モード等の高速アクセスが提案されているが、直線補間演算器により連続的に生成される画素がキャン・ライン方向に連続しているという保証が全くなく、一般的にはある程度の傾きを持っているのであるから、上記高速アクセスの利点を十分には発揮させることができず、この結果、表示速度の低下を殆ど補うことができない。このため、基板全体に占めるDRAMの実装面積の割合が大きくなって、256KビットのDRAMを用いて画像メモリを構成している。

3次元グラフィックス表示装置において必須とされる奥行きバッファ(以下、Zバッファと略称する)、断面表示を行なわせる場合に必須とされるセクショニング・バッファにおいても、同様に256KビットのDRAMを用いている。尚、ここで断面表示とは、任意の3次元の境界面により切断された3次元図形の内部状態を表示する方法であり、3次元図形の切断に用いる境界面の奥行き値を一般的にセクショニング値と称し、その境界面の奥行き値を格納するためのメモリを一般的にセクショニング・バッファと称している。

発明の目的

この発明は上記の問題点を鑑みてなされたものであり、内容を表示専用のフレーム・メモリに供給するための表示機能を有していないDRAMから構成される描画メモリを大容量のメモリ・デバイスで構成した場合にも十分な書込み速度を達成することができるメモリ書込み制御方法およびその装置を提供することを目的としている。

課題を解決するための手段

上記の目的を達成するための、この発明のメモリ書込

み制御方法は、表示機能を有していないIDRAMから構成される描画メモリを $m \times n$ (m, n は自然数)の大きさの矩形小領域に分割し、矩形小領域に対して直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて矩形小領域内に対する高速アクセスを行なう方法である。

上記の目的を達成するための、この発明のメモリ書込み制御装置は、表示機能を有していないIDRAMから構成される描画メモリを直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)の大きさの矩形小領域に分割してあり、矩形小領域を指示するためのロー・アドレスおよび矩形小領域内の各画素を指示するための上記互いに異なる方向の残余のビットから構成されるコラム・アドレスを生成して矩形小領域内に対する高速アクセスを行なう制御手段を有している。

但し、表示機能を有していないIDRAMから構成される描画メモリが複数個のメモリ・デバイスで構成されているとともに、複数個のメモリ・デバイスで描画メモリの1プレーンが構成されており、1プレーンを構成するメモリ・デバイスの数と等しい個数の書込み用ダブル・バッファ・メモリを有しているとともに、複数個の直線補間演算器を有しており、制御手段が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットに基づいてロー・アドレスおよびコラム・アドレスを生成するものであることが好ましい。

他の発明のメモリ書込み制御方法は、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないIDRAMから構成される描画メモリを設けておいて、このメモリを $m \times n$ (m, n は自然数)の矩形小領域に分割するとともに、対応する画素の両メモリ領域を割当て、矩形小領域に対して直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて矩形小領域内に対する高速アクセスを行なう方法である。

他の発明のメモリ書込み制御装置は、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないIDRAMから構成される描画メモリが直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互

いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)の大きさの矩形小領域に分割されており、矩形小領域を指示するためのロー・アドレスおよび矩形小領域内の各画素を指示するための上記互いに異なる方向の残余のビットから構成されるコラム・アドレスを生成して矩形小領域内に対する高速アクセスを行なう制御手段を有している。

但し、表示機能を有していないIDRAMから構成される描画メモリが複数個のメモリ・デバイスで構成されているとともに、複数個のメモリ・デバイスで描画メモリの1プレーンが構成されており、1プレーンを構成するメモリ・デバイスの数と等しい個数の書込み用ダブル・バッファ・メモリを有しているとともに、制御手段が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットに基づいてロー・アドレスおよび下位ビットがメモリ領域選択信号として割当てられたコラム・アドレスを生成するものであることが好ましい。

さらに他の発明のメモリ書込み制御方法は、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないIDRAMから構成される描画専用メモリを設けておくとともに、セクショニング値の1/2の桁分のビットを格納するバッファ領域および残余の1/2の桁分のビットを格納するバッファ領域を有し、かつ描画専用メモリの1/2の容量のセクショニング・バッファを設けておいて、描画専用メモリおよびセクショニング・バッファをそれぞれ $m \times n$ (m, n は自然数)の矩形小領域に分割するとともに、描画専用メモリの矩形小領域に対応する画素の両メモリ領域を割当て、セクショニング・バッファの矩形小領域に対応する画素の両バッファ領域を割当て、矩形小領域に対して直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて描画専用メモリおよびセクショニング・バッファの矩形小領域内に対する高速アクセスを並行して行なう方法である。

さらに他の発明のメモリ書込み制御装置は、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないIDRAMから構成される描画専用メモリと、セクショニング値を上位ビットと下位ビット或は偶数桁ビットと奇数桁ビット等ビットを1/2に区画して格納するセクショニング・バッファとが直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)

の大きさの矩形小領域に分割されており、矩形小領域を指示するためのロー・アドレスおよび矩形小領域内の各画素を指示するための上記互いに異なる方向の残余のビットから構成されるコラム・アドレスを生成して矩形小領域に対する高速アクセスを行なう描画専用メモリ用制御手段およびセクショニング・バッファ用制御手段を有している。

但し、描画専用メモリおよびセクショニング・バッファがそれぞれ複数個のメモリ・デバイスで構成されるとともに、複数個のメモリ・デバイスで表示専用メモリの1プレーンおよびセクショニング・バッファの1プレーンが構成されており、1プレーンを構成するメモリ・デバイスの数と等しい個数の書込み用ダブル・バッファ・メモリを有しているとともに、複数個の直線補間演算器を有しており、描画専用メモリ用制御手段が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットに基づいてロー・アドレスおよび下位ビットがメモリ領域選択信号として割当てられたコラム・アドレスを生成するものであり、セクショニング・バッファ用制御手段が、アクセスアドレスの下位ビットに基づいてメモリ・デバイス選択信号を生成するとともに、アクセスアドレスの残余のビットに基づいてロー・アドレスおよび下位ビットがビット選択信号として割当てられたコラム・アドレスを生成するものであることが好ましい。

作用

第1の発明のメモリ書込み制御方法であれば、表示機能を有していないDRAMから構成される描画メモリを $m \times n$ (m, n は自然数)の大きさの矩形小領域に分割し、矩形小領域に対して直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて矩形小領域内に対する高速アクセスを行なうので、従来公知の画像メモリのように表示のためのデータ転送による描画処理の中断がなく、しかも同一ロー・アドレスが割当てられた矩形小領域内に対して高速ページ・モード、ページ・モード、スタティック・コラム・モード等による高速アクセスを行なうことができるので、描画すべき線分の傾きに拘らず直線補間演算器を殆ど停止させることなく画素データの書込みが行なわれる。

この結果、メモリ・デバイスの大容量化に拘らずメモリに対する1画面分のデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができ、1画面分のデータの書込みが完了した後は、表示専用のフレーム・メモリに供給することにより可視的表示を行なうことができる。

第2の発明のメモリ書込み制御装置であれば、表示機

能を有していないDRAMから構成される描画メモリが直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)の大きさの矩形小領域に分割されておいて、制御手段により、矩形小領域を指示するためのロー・アドレスおよび矩形小領域内の各画素を指示するための上記互いに異なる方向の残余のビットから構成されるコラム・アドレスを生成して矩形小領域内に対する高速ページ・モード、ページ・モード、スタティック・コラム・モード等による高速アクセスを行なうことができる。したがって、描画すべき線分の傾きに拘らず直線補間演算器を殆ど停止させることなく画素データの書込みが行なわれる。

この結果、メモリ・デバイスの大容量化に拘らずメモリに対する1画面分のデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができ、1画面分のデータの書込みが完了した後は、表示専用のフレーム・メモリに供給することにより可視的表示を行なうことができる。

第3の発明のメモリ書込み制御装置であれば、複数個の直線補間演算器から出力される画素データを対応する書込み用ダブル・バッファ・メモリに一時的に保持させ、制御手段により生成されたメモリ・デバイス選択信号により選択されたメモリ・デバイスに供給することができるので、高速アクセスのサイクル・タイムよりも著しく短い動作時間の直線補間演算器を動作中断を伴うことなく動作させ、著しく高速の描画メモリ書込みを達成できる。

第4の発明のメモリ書込み制御方法であれば、表示機能を有していないDRAMから構成される描画メモリを $m \times n$ (m, n は自然数)の矩形小領域に分割するとともに、各矩形小領域に対応する画素の、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を割当てておき、矩形小領域に対して直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスを割当てておいて、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて矩形小領域内に対する高速アクセスを行なうので、従来公知の画像メモリのように表示のためのデータ転送による描画処理の中断がなく、しかも同一ロー・アドレスが割当てられた矩形小領域内に対して高速ページ・モード、ページ・モード、スタティック・コラム・モード等による高速アクセスを行なうことができるので、描画すべき線分の傾きに拘らず直線補間演算器を殆ど停止させることなくデプス・バッファ・アルゴリズムに基づく隠線処理および線分データの書込みが行なわれる。

この結果、メモリ・デバイスの大容量化に拘らずメモリに対する1画面分の隠面処理およびデータの書込みは、バッファ2領域を1個のデバイス内にマップする結果、全体としてのメモリ容量は代わらないが同時にアクセスできるデバイス数が2倍になるので、1つのメモリ・デバイスのアクセス時間がほぼ2倍になっても、直線補間演算器の速度とほぼ等しい速度で行なうことができる。そして、1画面分のデータの書込みが完了した後は、表示専用のフレーム・メモリに供給することにより3次元図形の可視的表示を行なうことができる。

第5の発明のメモリ書込み制御装置であれば、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないDRAMから構成される描画メモリが直線補間演算器から出力されるDRAMのアクセスアドレスのうち、互いに異なる方向のアドレスの上位ビットから構成される同一のロー・アドレスが割当てられた $m \times n$ (m, n は自然数)の大きさの矩形小領域に分割されてあるので、制御手段により、矩形小領域を指示するためのロー・アドレスおよび矩形小領域内の各画素を指示するための上記互いに異なる方向の残余のビットから構成されるコラム・アドレスを生成して矩形小領域内の両メモリ領域に対する高速ページ・モード、ページ・モード、スタティック・コラム・モード等による高速アクセスを行なうことができる。したがって、描画すべき線分の傾きに拘らず直線補間演算器を殆ど停止させることなく隠線処理および隠線処理後の線分データの書込みが行なわれる。

この結果、メモリ・デバイスの大容量化に拘らずメモリに対する1画面分のデータの隠面処理および書込みは、バッファ2領域を1個のデバイス内にマップする結果、全体としてのメモリ容量は代わらないが同時にアクセスできるデバイス数が2倍になるので、1つのメモリ・デバイスのアクセス時間がほぼ2倍になっても、直線補間演算器の速度とほぼ等しい速度で行なうことができる。そして、1画面分のデータの書込みが完了した後は、表示専用のフレーム・メモリに供給することにより3次元図形の可視的表示を行なうことができる。

第6の発明のメモリ書込み制御装置であれば、複数個の直線補間演算器から出力される画素データに対応する書込み用ダブル・バッファ・メモリに一時的に保持させ、制御手段により生成されたメモリ・デバイス選択信号により選択されたメモリ・デバイスに供給することができるので、高速アクセスのサイクル・タイムよりも短い動作時間の直線補間演算器を動作中断を伴うことなく動作させ、高速の描画メモリ書込みを達成できる。また、この場合には、1プレーンに内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域が割当てられている関係上、1プレーンを構成するメモリ・デバイスの数が2倍になるの

で、一層高速の書込みを達成できる。

第7の発明のメモリ書込み制御方法であれば、表示機能を有していないDRAMから構成される描画専用メモリを $m \times n$ (m, n は自然数)の矩形小領域に分割するとともに、各矩形小領域に対応する画素の、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を割当てておき、描画専用メモリの1/2の容量のセクショニング・バッファをも $m \times n$ の矩形小領域に分割するとともに、各矩形小領域に対応する画素の、セクショニング値の上位ビットを格納するバッファ領域および下位ビットを格納するバッファ領域を割当てておき、割当てられたロー・アドレスおよび上記互いに異なる方向のアドレスの残余のビットから構成されるコラム・アドレスに基づいて描画専用メモリの矩形小領域内およびセクショニング・バッファの矩形小領域内に対する高速アクセスを行なうので、従来公知の画像メモリのように表示のためのデータ転送による描画処理の中断がなく、しかも同一ロー・アドレスが割当てられた矩形小領域内に対して高速ページ・モード、ページ・モード、スタティック・コラム・モード等による高速アクセスを行なうことができるので、描画すべき線分の傾きに拘らず直線補間演算器を殆ど停止させることなくデプス・バッファ・アルゴリズムに基づく隠線処理、切断面処理および線分データの書込みが行なわれる。

この結果、メモリ・デバイスの大容量化に拘らずメモリに対する1画面分の隠面処理およびデータの書込みは、バッファ2領域を1個のデバイス内にマップする結果、全体としてのメモリ容量は代わらないが同時にアクセスできるデバイス数が2倍になるので、1つのメモリ・デバイスのアクセス時間がほぼ2倍になっても、直線補間演算器の速度とほぼ等しい速度で行なうことができる。そして、並行して切断面処理を行なうことができ、1画面分のデータの書込みが完了した後は、表示専用のフレーム・メモリに供給することにより3次元図形の可視的切断表示を行なうことができる。

第8の発明のメモリ書込み制御装置であれば、内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域を有し、かつ表示機能を有していないDRAMから構成される描画専用メモリが $m \times n$ (m, n は自然数)の矩形小領域に分割されるとともに、セクショニング値の上位ビットを格納するバッファ領域および下位ビットを格納するバッファ領域を有し、かつ描画専用メモリの1/2の容量のセクショニング・バッファが $m \times n$ の矩形小領域に分割されてあるので、描画専用メモリ用制御手段により、矩形小領域を指示するためのロー・アドレスおよび矩形小領域内の各画素を指示するための上記互いに異なる方向の残余のビットから構成されるコラム・アドレスを生成して矩形小領域内の両メモリ領域に対する高速ページ・モード、ページ・モード、スタティック・コラム・モード等による

高速アクセスを行なうことができるとともに、セクショニング・バッファ用制御手段により、対応する矩形小領域を指示するためのロー・アドレスおよび矩形小領域内の各画素を指示するためのコラム・アドレスを生成して矩形小領域内の両バッファ領域に対する高速ページ・モード、ページ・モード、スタティック・コラム・モード等による高速アクセスを行なうことができる。したがって、描画すべき線分の傾きに拘らず直線補間演算器を殆ど停止させることなくデプス・バッファ・アルゴリズムに基づく隠線処理、切断面処理および線分データの書込みが行なわれる。

この結果、メモリ・デバイスの大容量化に拘らずメモリに対する1画面分の隠面処理およびデータの書込みは、バッファ2領域を1個のデバイス内にマップする結果、全体としてのメモリ容量は代わらないが同時にアクセスできるデバイス数が2倍になるので、1つのメモリ・デバイスのアクセス時間がほぼ2倍になっても、直線補間演算器の速度とほぼ等しい速度で行なうことができる。そして、並行して切断面処理を行なうことができ、1画面分のデータの書込みが完了した後は、表示専用のフレーム・メモリに供給することにより3次元図形の可視的切断表示を行なうことができる。

第9の発明のメモリ書込み制御装置であれば、複数個の直線補間演算器から出力される画素データを対応する描画専用メモリ書込み用ダブル・バッファ・メモリおよびセクショニング・バッファ書込み用ダブル・バッファ・メモリに一時的に保持させ、描画専用メモリ用制御手段により生成されたメモリ・デバイス選択信号により選択されたメモリ・デバイスに供給するとともに、セクショニング・バッファ用制御手段により生成されたメモリ・デバイス選択信号により選択されたメモリ・デバイスに供給することができるので、高速アクセスのサイクル・タイムよりも短い動作時間の直線補間演算器を動作中断を伴うことなく動作させ、高速のメモリ書込みを達成できる。また、この場合には、描画専用メモリの1プレーンに内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域が割当てられているとともに、セクショニング・バッファの1プレーンにセクショニング値の上位ビットを格納するバッファ領域および下位ビットを格納するバッファ領域が割当てられている関係上、セクショニング・バッファを構成するメモリ・デバイスの数を増加させることなく1プレーンを構成するメモリ・デバイスの数を2倍にできるので、一層高速のメモリ書込みを達成できる。

実施例

以下、実施例を示す添付図面によって詳細に説明する。

第6図はこの発明のメモリ書込み制御装置の一実施例を組込んだグラフィックス表示装置を概略的に示すブロック図であり、DDA(1)から出力される画素データを

ダブル・バッファ・メモリ(2)に供給しているとともに、ダブル・バッファ・メモリ(2)から描画専用メモリ(3)に対して保持データを供給している。そして、描画専用メモリ(3)の保持データを読み出して表示専用メモリ(5)に供給するためのインターフェース回路(4)を有しているとともに、上記DDA(1)から出力されるアドレスデータを入力として描画専用メモリ(3)に対する高速アクセスを行なわせる制御部(6)を有している。尚、(10)は表示専用メモリ(5)の内容に基づく可視的表示を行なうためのCRTディスプレイ装置である。

上記描画専用メモリ(3)および表示専用メモリ(5)は、共に1280×1024画素の画面サイズに対応し、かつRGB1670万色の表示を行なうために、1MビットのDRAM(256K×4ビットのDRAM)2個で1プレーンを構成するとともに、全体を24プレーン構成している。そして、上記表示専用メモリ(5)は、同一のスキャン・ラインに対して同一のロー・アドレスが割当てられており、上記描画専用メモリ(3)は、64×64画素の矩形小領域(3a)に対して同一のロー・アドレス(スクリーン上のロー・アドレスとは異なるロー・アドレスであり、詳細は後述する)が割当てられている。

また、上記ダブル・バッファ・メモリ(2)として2×4画素のダブル・バッファ・メモリが使用されている。

上記制御部(6)の構成は次のとおりである。

2048×1024画素のスクリーンにおいて画素アドレスを定めるためには、ロー・アドレスをy0~y9の10ビットで定義し、コラム・アドレスをx0~x10の11ビットで定義すればよい。即ち、このように定義すれば、0~1023のロー・アドレスが不都合なく定められ、各ロー・アドレスに対応させて0~2047のコラム・アドレスが不都合なく定められる。したがって、DDA(1)からはy0~y9のロー・アドレスおよびx0~x10のコラム・アドレスが出力される。

このような状況の下において、上記制御部(6)は、DDA(1)から出力されるロー・アドレスおよびコラム・アドレスに基づいて、y6~y9のビットおよびx6~x10のビットを複合せせることにより新たなロー・アドレス(第3図A参照)を生成し、y1~y5のビットおよびx2~x5のビットを複合せせることにより新たなコラム・アドレス(第3図B参照)を生成し、例えば高速ページ・モード・アクセスのためのアドレスとして描画専用メモリ(3)に供給する。尚、y0,x0,x1のビットが新たなアドレスに反映されていないが、これらのビットはダブル・バッファ・メモリ(2)に対する画素データ格納位置を示すアドレスデータとして使用されれば十分だからである。

また、上記インターフェース回路(4)は、両メモリ(3)(5)のビット間口が等しい場合には何ら特別な

構成は必要でないが、ビット幅が異なる場合には、例えば、第4図に示す構成のインターフェース装置を使用すればよい。尚、第4図は32ビット間口のメモリ(5)と8ビット間口のメモリ(3)との間のインターフェース部分を示している。

8ビットのレジスタ(31)(32)(33)(34)とセクタ(35)(36)(37)(38)とを直列に接続することにより、レジスタの内容をセクタを介して隣のレジスタにシフトさせるようにしている。そして、レジスタ(34)からの出力データをトライ・ステート・コントロール・バッファ(以下、単に制御バッファと略称する)(39)の出力用端子に供給しているとともに、制御バッファ(39)の入力用端子からの読出しデータをセクタ(35)に供給している。さらに、入出力端子がメモリ(5)と接続された制御バッファ(40)の入力用端子から出力されるデータを8ビットずつに分割してそれぞれセクタ(35)(36)(37)(38)に供給しているとともに、レジスタ(31)(32)(33)(34)から出力される8ビットのデータを同時に並列化して出力用端子に供給している。尚、上記全てのセクタには同一の制御信号が供給され、制御バッファ(40)からのデータをレジスタに供給し得る状態と供給し得ない状態とを選択する。また、上記全てのレジスタには同一のタイミング信号が供給され、データ・シフトまたはデータ外部出力のためのデータ出力を同時に行なう。

したがって、仮にメモリ(5)から32ビット幅のデータが供給された場合には、8ビットずつのデータ・ブロックに分割してそれぞれレジスタ(31)(32)(33)(34)に保持させ、次いで、レジスタの内容を順次シフトさせることにより、メモリ(3)に対して8ビットずつ供給することができる。

逆に、メモリ(3)からデータを読出す場合には、8ビットずつの読出しデータをレジスタに格納するとともに、レジスタの内容をシフトさせ、全てのレジスタにデータ・ブロックが保持された状態においてデータ・シフトを行なわせないようにセクタを制御して全てのレジスタの内容を出力することにより32ビット幅のデータとしてメモリ(5)に出力することができる。

但し、データの転送方向は描画専用メモリ(3)から表示専用メモリ(5)の方向に定められているのであるから、描画専用メモリ(3)に対しては読出し動作のみ、表示専用メモリ(5)に対しては書込み動作のみを行なわせればよい。また、描画専用メモリ(3)と表示専用メモリ(5)との間においてプロセッサ等が介在する場合には、データ・バスと各メモリとの間に上記の構成のインターフェース装置を介在させればよい。

上記の構成のグラフィックス表示装置の動作は次のとおりである。

スキャン・ライン方向に連続する画素データがDDA(1)から順次生成されている状態においては、 $y_0 \sim y_0$

の値が変化せず、 $x_0 \sim x_{10}$ の値が順次変化するのであるから、 $x_6 \sim x_{10}$ の値が変化しない範囲においては制御部(6)から出力されるロー・アドレスが変化しない。したがって、この範囲内において高速ページ・モード・アクセス(コラム・アドレスのみを変更するアクセス)によりダブル・バッファ・メモリ(2)に保持されている4画素分の画素データを約120nsecのサイクル・タイムで書込むことができる。その後は、 $x_6 \sim x_{10}$ の値が変化する毎にロー・アドレスが変化するのでロー・アドレスが変化した直後のサイクル・タイムが長くなるが、十分に長い線分の描画を行なう場合についてみれば、64画素分の書込みに対して1回サイクル・タイムが長い書込みが発生するだけであるから、全体として画素データ書込みのサイクル・タイムを短くすることができる。

スキャン・ラインに対して所定角度傾斜した方向に連続する画素データがDDA(1)から順次生成される状態においては、 $y_0 \sim y_9$ の値および $x_0 \sim x_{10}$ の値が共に順次変化するのであるが、 $y_6 \sim y_9$ 、 $x_6 \sim x_{10}$ の値が変化しない範囲においては制御部(6)から出力されるロー・アドレスが変化しない。したがって、この範囲内において高速ページ・モード・アクセスによりダブル・バッファ・メモリ(2)に保持されている少なくとも2画素分の画素データを約120nsecのサイクル・タイムで書込むことができる。その後は、 $y_6 \sim y_9$ 、 $x_6 \sim x_{10}$ の値が変化する毎にロー・アドレスが変化するのでロー・アドレスが変化した直後のサイクル・タイムが長くなるが、十分に長い線分の描画を行なう場合についてみれば、64画素分の書込みに対して1回サイクル・タイムが長い書込みが発生するだけであるから、全体として画素データ書込みのサイクル・タイムを短くすることができる。

スキャン・ラインに直角な方向に連続する画素データがDDA(1)から順次生成される状態においては、 $y_0 \sim y_9$ の値が順次変化するのであるが $y_6 \sim y_9$ の値が変化しない範囲においては制御部(6)から出力されるロー・アドレスが変化しない。したがって、この範囲内において高速ページ・モード・アクセスによりダブル・バッファ・メモリ(2)に保持されている2画素分の画素データを約120nsecのサイクル・タイムで書込むことができる。その後は、 $y_6 \sim y_9$ の値が変化する毎にロー・アドレスが変化するのでロー・アドレスが変化した直後のサイクル・タイムが長くなるが、十分に長い線分の描画を行なう場合についてみれば、64画素分の書込みに対して1回サイクル・タイムが長い書込みが発生するだけであるから、全体として画素データ書込みのサイクル・タイムを短くすることができる。

即ち、単にスキャン・ライン方向に連続する画素データを順次書込む場合であれば、従来公知のように、スクリーン座標に基づいてロー・アドレスおよびコラム・アドレスを設定しておく方が全体としての画素データ書込み所要時間を短くすることができるが、スキャン・ライ

ンに対して少しでも傾いた線分の描画を行なう場合には、高速ページ・モード・アクセスが殆ど機能しないことになるので画素データ書込み速度が著しく低下してしまう。また、ダブル・バッファ・メモリ(2)の個数を増加させることも、1プレーン当り2個の1MビットDRAMで構成してある関係上、不可能である。

これに対して上記実施例では、スキャン・ライン方向に連続する画素データを書込む場合の速度が従来方法と比較してある程度遅くなるが、描画すべき線分がスキャン・ラインに対して傾いているか否かに拘らず同じ書込み速度を達成することができる。但し、スキャン・ライン方向の描画速度についても、上記実施例ではDDA(1)を著しく高速に連続動作させることができるのであるから、実際上は現時点で提供されているDDA(1)の速度を考慮すれば、描画速度の低下は全く認められない。また、描画専用メモリ(3)においては、表示用のリード転送は全く不要であるから、DRAMのリフレッシュについては線分描画後にのみ行なうことができ、この点からも描画速度の高速化を達成することができる(具体的には、1280×1024画素、60Hz、ノンインターレース仕様であれば、表示用のリード転送を伴う場合には15.75μsecに1回リフレッシュを行なう必要があるが、上記実施例においては8msecの間に512回のリフレッシュを行えばよく、タイミングは自由に設定できる)。この結果、1280×1024画素のメモリの1プレーンを256KビットのDRAM8個で構成した場合と同程度の書込み速度を達成することができ、しかもDRAMの個数を1/4に減少させることに伴って実装面積を著しく低減することができる。

さらに、描画専用メモリ(3)と表示専用メモリ(5)とが必要になるのであるが、従来からフレーム・メモリをデュアル・プレーン構成にすることが一般化しており、しかもデュアル・プレーン構成においては一方のプレーンの内容に基づいて表示を行なうとともに、他方のプレーンに新たな画素データの書込みを行なうのであるから、切替可能なデュアル・プレーン構成に代えて一方を描画専用メモリ(3)とし、他方を表示専用メモリ(5)とすることにより、特別にメモリ容量を増加させることなく簡単に対処できる。

尚、以上には、描画専用メモリ(3)のみを有する場合について説明したが、3次元表示を行なわせる必要がある場合、断面表示を行なわせる必要がある場合には、デプス・バッファ、セクショニング・バッファをそれぞれ別個に設け、それぞれに対して上記と同様のダブル・バッファ・メモリ、制御部を設けることにより、これらに対する高速の書込みをも行なわせることができる。

第5図はDDA(1)から出力されるアドレスデータのうちy6,x6の何れかの変化、線分描画の終了の何れかが発生したことを検出するための回路構成を示す図である。

x座標用のDDA加算器(11)から出力されるx6ビットの値およびy座標用のDDA加算器(21)から出力されるy6ビットの値をそれぞれ第1段目のDタイプのフリップ・フロップ(以下、D-FFと略称する)(12)(22)のD入力端子に供給し、各D-FF(12)(22)のQ出力端子をそれぞれ第2段目のD-FF(13)(23)のD入力端子に供給し、さらに、全てのD-FF(12)(13)(22)(23)のタイミング入力端子にDDAクロック信号を供給している。そして、D-FF(12)のQ出力信号およびD-FF(13)の \bar{Q} 出力信号をANDゲート(14)に供給し、D-FF(12)の \bar{Q} 出力信号およびD-FF(13)のQ出力信号をANDゲート(15)に供給し、D-FF(22)のQ出力信号およびD-FF(23)の \bar{Q} 出力信号をANDゲート(24)に供給し、D-FF(22)の \bar{Q} 出力信号およびD-FF(23)のQ出力信号をANDゲート(25)に供給し、上記ANDゲート(14)(15)(24)(25)からの出力信号をNORゲート(16)に供給している。さらに、DDAダウン・カウンタ(17)から出力されるフラグ(ダウン・カウンタ(17)の内容が0の場合にハイレベルになるオーバーフロー・フラグ)が上記NORゲート(16)に供給されている。

したがって、x6ビットの値が変化すれば、D-FF(12)(13)のQ出力信号のレベルが互に逆になるので、一方のQ出力信号および他方の \bar{Q} 出力信号が供給されているANDゲート(14)(15)の何れかがハイレベル信号を出力する。y6ビットの値が変化した場合にもANDゲート(24)(25)の何れかがハイレベル信号を出力する。さらに、線分描画が終了した場合にはDDAダウン・カウンタ(17)からハイレベルのフラグが出力される。

したがって、これら何れかのハイレベル信号がNORゲート(16)に供給されることにより、高速ページ・モード・アクセスを継続すべきでないことを示す検出フラグを出力することができる。

上記の回路構成を採用すれば、高速ページ・モード・アクセスを行なってもよいか否かの判別をソフトウェア判断によることなく行なうことができ、描画速度を一層高速化することができる。

また、上記回路はチャンネル数が少なく、しかもダブル・バッファ・メモリの容量が小さいのであるから、簡単にLSI化することができる。

第1図は描画動作を簡単に説明するフローチャートであり、ステップ①において、DDA(1)により出力されるべきロー・アドレスy0~y9およびコラム・アドレスx0~x10の上位ビットに基づいて新たなロー・アドレス(第2図A参照)を生成し、ステップ②において、新たなロー・アドレスおよび順次変化するコラム・アドレスに基づく高速ページ・モード・アクセスを行ない、ステップ③において高速ページ・モード・アクセスを継続できるか否かを判別し、継続できると判別された場合には再びステップ②の処理を行なう。逆に継続できないと判

別された場合には、ステップ④において線分の描画が終了したか否かを判別し、終了していなければ再びステップ①の処理を行なう。逆に終了したと判別された場合には、DDA(1)から新たな画素データが出力されるまで待つ。

即ち、DDA(1)の起動時には、第2図Aに示すように、DRAMのアドレスとして先ずロー・アドレス(図中“row”参照)が出力されるとともに、ロー・アドレス・ストロブ信号(以下、 \overline{RAS} 信号を略称する)がロー・レベルになり、その後は、順次変化するコラム・アドレス(図中“col”参照)が出力されるとともに、図示しないコラム・アドレス・ストロブ信号(以下、 \overline{CAS} 信号を略称する)が周期的にロー・レベルになる。したがって、高速ページ・モード・アクセスに基づく高速描画を行なうことができる。

そして、線分描画が終了した後は、第2図Bに示すように、必要回数だけDRAMのリフレッシュを行ないながら次の描画指令を待つ。

また、線分描画途中において矩形小領域の境界をまたぐ場合には、x6ビットの値、y6ビットの値の何れかが変化したことを検出してDRAMのロー・アドレスが出力されるとともに、 \overline{RAS} 信号が一旦ハイレベルになった後再びロー・レベルになり、その後は、順次変化するコラム・アドレスが出力されるとともに、図示しない \overline{CAS} 信号が周期的にロー・レベルになる。したがって、高速ページ・モード・アクセスに基づく高速描画を行なうことができる。

したがって、上記の場合と同様に線分の傾きに拘らず高速ページ・モード・アクセスによる高速描画を行なうことができる。但し、高速ページ・モード・アクセスに代えてページ・モード・アクセス、スタティック・コラム・モード・アクセス等を採用してもよいことは勿論である。

実施例2

第7図は他の実施例を示す概略ブロック図であり、上記実施例と異なる点は、描画専用メモリ(3)を構成するプレーン数分の1MビットDRAMを単位とするブロック・メモリ(3b)(3c)に分割した点、各ブロック・メモリ(3b)(3c)に対応させて1×4画素のダブル・バッファ・メモリ(2b)(2c)およびDDA(1b)(1c)を設けた点およびDDAから出力されるy0ビットに基づいてDRAMに対するチップ・セレクト信号を出力するようにした点のみである。

したがって、この実施例の場合には、各DDA(1b)(1c)から隣合うスキャン・ライン上の画素データを順次生成させるようにすることにより、多角形ぬりつぶし速度を一層高速化することができる。

実施例3

第8図はさらに他の実施例を示す要部概略図であり、上記実施例と異なる点は、4個の1MビットDRAMで1プ

ーンを構成することにより1024×2048画素の2倍のメモリ(7)を得た点およびこのメモリ(7)を分割した矩形小領域(7a)にカラー・バッファ領域およびデプス・バッファ領域を割当てた点のみである。

この構成を採用すれば、メモリ全体としてのアクセス間口を4×4画素分とすることができる。また、矩形小領域を64×64画素に設定しておけば、y6~y9の値およびx6~x10の値に基づいて新たなロー・アドレスを定め、y2~y5の値およびx2~x5の値に基づいてコラム・アドレスを定めることができる。この結果、コラム・アドレスには1ビットの余剰桁が発生するので、余剰桁に対応するコラム・アドレスのビットをカラー・バッファ領域とデプス・バッファ領域との選択信号として用いることができる(第9図中“F/ \overline{Z} ”参照)。

第10図はこの実施例に基づくリード・モディファイ・ライト動作を説明するタイミング・チャートであり、 \overline{RAS} 信号の立下りのタイミングでDRAMに対するロー・アドレスが設定され、次いで周期的に立下る \overline{CAS} 信号によりDRAMに対するコラム・アドレスが設定される。但し、後述する1メモリ・サイクルが終了するまでは最下位ビットを除くコラム・アドレスは同一値に保持され続ける。また、コラム・アドレスの最下位ビットはカラー・バッファ領域とデプス・バッファ領域との選択信号F/ \overline{Z} であるから選択信号F/ \overline{Z} のレベルによりデプス・バッファ領域に対するアクセスおよびカラー・バッファ領域に対するアクセスが交互に行なわれる。そして、最初の2回のアクセス(デプス・バッファ領域に対するアクセスおよびカラー・バッファ領域に対するアクセス)に対応して出力イネーブル信号 \overline{OE} がローレベルになり、続く2回の \overline{CAS} 信号のローレベル期間に対応して入力イネーブル信号 \overline{WE} がローレベルになるので、デプス・バッファ領域からの奥行きデータ読み出し、カラー・バッファ領域からのカラー・データ読み出し、デプス・バッファ領域に対する奥行きデータ書込みおよびカラー・バッファ領域に対するカラー・データ書込みがこの順に行なわれることにより1メモリ・サイクルが終了する。即ち、デプス・バッファ領域から読出された奥行きデータと新たに供給された奥行きデータとの大小の比較をカラー・バッファ領域からのカラー・データ読み出しと並行して行なうことができ、比較結果に基づいてデプス・バッファ領域に更新された奥行きデータを書込んでからカラー・バッファ領域にも更新されたカラー・データを書込む。したがって、奥行きデータ同士の大小比較結果を示すフラグが異なるデバイス間で授受される従来例と比較してフラグ授受のために必要な時間を短縮することができる。但し、更新されたデータを書込む順序は逆であってもよい。

第11図は1画素分のダブル・バッファ・メモリに対応する回路構成を示すブロック図であり、カラー・データが供給されるダブル・バッファ・メモリ(41)および奥

行きデータが供給されるダブル・バッファ・メモリ (51) を有しているとともに、各ダブル・バッファ・メモリ (41) (51) にそれぞれ対応させて読出しデータを保持するためのリード・レジスタ (42) (52) と、ダブル・バッファ・メモリの内容および対応するリード・レジスタの内容を入力とする論理演算ユニット (43) (53) とを有している。そして、両論理演算ユニット (43) (53) からの出力データ的一方を選択するセレクタ (44) と、セレクタ (44) により選択されたデータを DRAM (46) に供給し、さらに DRAM (46) からの読出しデータを対応するリード・レジスタ (42) (52) に供給するための双方向バッファ (45) を有している。

上記論理演算ユニット (53) はダブル・バッファ・メモリ (51) に保持されている奥行きデータとリード・レジスタ (52) に保持されている奥行きデータとの大きさを比較して大小関係を示す隠面処理フラグを出力するとともに、何れかの奥行きデータを選択して出力するものであり、上記論理演算ユニット (43) は上記隠面処理フラグに基づいてダブル・バッファ・メモリ (41) に保持されているカラー・データとリード・レジスタ (42) に保持されているカラー・データの何れかを選択して出力するものである。上記セレクタ (44) は、例えば、上記 CAS 信号に対応して何れのデータを選択すべきかが制御されるものである。

したがって、まず、双方向バッファ (45) を通して DRAM (46) からリード・レジスタ (52) に奥行きデータが読出され、次いで同様にリード・レジスタ (42) にカラー・データが読出される。そして、ダブル・バッファ・メモリ (51) に保持されている新たな奥行きデータと上記奥行きデータとを論理演算ユニット (53) により比較して隠面処理フラグを論理演算ユニット (43) に供給するとともに、何れかの奥行きデータを選択して出力する。また、隠面処理フラグが供給された論理演算ユニット (43) により何れかのカラー・データが選択されて出力される。この結果、セレクタ (44) の動作に基づいて定まる順序で選択された奥行きデータ、カラー・データが双方向バッファ (45) を通して DRAM (46) の該当アドレスに書込まれる。

以上の説明においては特には触れていないが、双方向バッファ (45) はデータの読出しと書込みとを選択的に
40 行なうためにデータ転送方向を切替え得るようにしてあるので、切替えに伴って発生するリングング・ノイズの影響がなくなるまではデータ転送を行なうことができない。一般にこの時間をターン・オフ・タイムまたはターン・オン・タイムと呼んでいる。したがって、カラー・データおよび奥行きデータのそれぞれについて双方向バッファを切替えて読出しおよび書込みを行なわせるようにすると、カラー・データおよび奥行きデータの読出し、書込みを行なう間に 2 回のターン・オフ・タイムが生じ、全体としてアクセス速度が低下するのであるが、

上記実施例においては 1 回のターン・オフ・タイムが生じるだけであるから、全体としてアクセス速度を高速化することができる。実際にはメモリの間口が 4×4 画素分であるから、1 メモリ・サイクルの間に 4 画素分のアクセスが行なわれるのであるから、第 1 図の実施例に適用した場合には 2 画素分のアクセスで 1 回のターン・オフ・タイムが発生するのに比較してターン・オフ・タイムの占める割合をほぼ半減させることができる。

さらに、第 11 図に示す回路構成は、カラー・データのための処理を行なう部分と奥行きデータのための処理を行なう部分とが同一の構成であるから、何れか一方を省略して、時分割でカラー・データの処理と奥行きデータの処理とを行なわせることができ、この場合には、隠面処理フラグがデバイス間で授受される必要がないので伝播時間を短縮することができる。また、回路規模が小さくすみ、しかも DRAM との間で授受すべき 1 画素当りのビット数が少なくなるので、簡単に集積化できる。

さらには、1 プレーンを構成する 1M ビット DRAM 全体としての間口が 4×4 画素分になるので、DDA を 4 個設けて並列動作させることにより、ぬりつぶし速度を高速化することもできる。

実施例 4

第 12 図は実施例 3 の構成にセクショニング・バッファを付加した状態を示す概略図であり、カラー・データ領域および奥行きデータ領域を混在させたメモリ (7) の他に 1 プレーンの容量が同じでプレーン数が $1/2$ のセクショニング・バッファ (8) を有している。そして、メモリ (7) およびセクショニング・バッファ (8) のそれぞれに対応させてダブル・バッファ・メモリ (71) (81) および制御部 (72) (82) が設けられている。尚、(73) はカラー・データおよび奥行きデータ用の DDA、(83) はセクショニング・データ用の DDA である。

上記セクショニング・バッファ (8) は 1 プレーンの容量がメモリ (7) と等しいのであるから、2 画面分の容量を有し、1M ビット DRAM 4 個で構成されることになるが、プレーン数が $1/2$ であるからセクショニング・データとして必要なビット数が $1/2$ になっている。したがって、セクショニング・データの上位側ビットと下位側ビットとを分けて格納しておくとともに、 64×64 画素の矩形小領域 (8a) 内に該当画素のセクショニング・データの上位側ビットおよび下位側ビットを割当てている。

そして、上記制御部 (82) において、DDA (83) から出力されるアドレス・データ $y_0 \sim y_9, x_0 \sim x_{10}$ のうち、 $y_6 \sim y_9, x_6 \sim x_{10}$ に基づいてロー・アドレス (第 13 図 A 参照) を生成するとともに、 $y_2 \sim y_5, x_2 \sim x_5$ に基づいてコラム・アドレス (第 13 図 B 参照) を生成し、高速ページ・モード・アクセスを行なわせる。但し、コラム・アドレスはメモリ (7) の場合と同様に 1 ビット分だけ余るので、最下位ビットをセクショニング・データの上位側ビットと下位側ビットの選択を行なわせるための選択フ

ラグ “H/L” に割当てている。

したがって、セクショニング・バッファ(8)から2回データを読出すことにより必要なセクショニング・データが得られることになるが、この読出しは高速ページ・モード・アクセスにより行なわれるので高速であり、しかもメモリ(7)からもカラー・データの読出し、奥行きデータの読出しを行なう必要があるため、特に不都合はない。

第14図はメモリ(7)に対するアクセスとセクショニング・バッファ(8)に対するアクセスとを説明するタイミング・チャートであり、奥行きデータの読出しと並行してセクショニング・データの下位側ビットの読出しが行なわれ、カラー・データの読出しと並行してセクショニング・データの上位側ビットの読出しが行なわれる。この状態において、セクショニング・データおよび奥行きデータに基づいて隠面処理およびセクショニング処理が行なわれる。即ち、セクショニング境界の奥行き値を描画する場合には、メモリ(7)は動作させず、セクショニング・バッファ(8)のみを第14図に示すタイミングで制御すればよく、逆に、切断表示のために図形

の描画を行なう場合には、セクショニング・バッファ(8)からは境界値の読出しを行なうのみでよく、特に第14図のように書込みを実行する必要はない。但し、メモリ(7)は第14図に示すように動作する。

この結果、セクショニング・バッファ(8)を構成するDRAMを必要以上の数にすることなくセクショニング処理を行なうことができ、しかも実施例3の処理速度と殆ど同じ速度で隠面処理およびセクショニング処理を行なうことができる。

第15図は1画素分のダブル・バッファ・メモリに対応する回路構成を示すブロック図であり、セクショニング処理を施すべきか否かが判別される奥行きデータが供給されるダブル・バッファ・メモリ(91)を有しているとともに、読出しデータを保持するための1対のリード・レジスタ(92)(93)と、ダブル・バッファ・メモリ(91)の内容およびリード・レジスタ(92)(93)の内容を入力とする論理演算ユニット(94)とを有している。そして、論理演算ユニット(94)からの出力データの一方を選択するセレクト(95)と、セレクト(95)により選択されたデータをDRAM(97)に供給し、さらにDRAM(97)からの読出しデータを対応するリード・レジスタ(92)(93)に供給するための双方向バッファ(96)を有している。尚、上記リード・レジスタ(92)(93)には、それぞれホールド・イネーブル信号が供給されている。

上記論理演算ユニット(94)はダブル・バッファ・メモリ(91)に保持されている奥行きデータとリード・レジスタ(92)(93)の何れかに保持されている奥行きデータとの大小を比較して大小関係を示すセクショニング・フラグを出力するとともに、何れかの奥行きデータを

選択して出力するものであり、上位側ビットと下位側ビットとに分けて出力する。上記セレクト(95)は、例えば、上記選択フラグ “H/L” に対応して何れのデータを選択すべきかが制御されるものである。

したがって、先ず、双方向バッファ(96)を通してDRAM(97)からリード・レジスタ(92)にセクショニング・データの下位側ビットが読出され、次いで同様にしてリード・レジスタ(93)に上位側ビットが読出される。そして、ダブル・バッファ・メモリ(91)に保持されている新たな奥行きデータと上記セクショニング・データとを論理演算ユニット(94)により比較してセクショニング・フラグを出力するとともに、上位側ビット、下位側ビットを別個に出力する。また、セクショニング・フラグが供給されたメモリ(7)側においては、隠面処理のみならずセクショニング処理が施され、必要なカラー・データおよび奥行きデータが書込まれる。さらに、別個に出力された上位側ビットと下位側ビットとは、セレクト(44)の動作に基づいて定まる順序で選択されて双方向バッファ(96)を通してDRAM(97)の該当アドレスに書込まれる。

上記の説明から明らかなように、第15図の回路構成を簡単に集積化することができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、矩形小領域として正方形領域に代えて長方形領域を予め設定しておくことが可能であるほか、この発明の要旨を変更しない範囲内において種々の設計変更を施すことが可能である。

発明の効果

以上のように第1の発明は、メモリ・デバイスの大容量化、線分の向きに拘らず描画メモリに対する1画面分のデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができるという特有の効果奏する。

第2の発明も、メモリ・デバイスの大容量化、線分の向きに拘らず描画メモリに対する1画面分のデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができるという特有の効果奏する。

第3の発明は、高速アクセスのサイクル・タイムよりも著しく短い動作時間の直線補間演算器を動作中断を伴うことなく動作させ、著しく高速のメモリ書込みを達成できるという特有の効果奏する。

第4の発明は、メモリ・デバイスの大容量化、線分の向きに拘らず描画メモリに対する1画面分の隠面処理およびデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができるという特有の効果奏する。

第5の発明も、メモリ・デバイスの大容量化、線分の向きに拘らず描画メモリに対する1画面分の隠面処理およびデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができるという特有の効果奏する。

10
20
30
40
50

第 6 の発明は、1 プレーンに内容を表示専用のフレーム・メモリに供給するためのメモリ領域および隠面処理のためのメモリ領域が割当てられている関係上、1 プレーンを構成するメモリ・デバイスの数が 2 倍になるので、一層高速の書込みを達成できるという特有の効果を奏する。

第 7 の発明は、メモリ・デバイスの大容量化、線分の向きに拘らず描画専用メモリに対する 1 画面分の隠面処理およびデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができ、しかも並行して切断面処理を行なうことができ、さらに切断面処理のために必要なメモリ・デバイスの数の増加を防止できるという特有の効果を奏する。

第 8 の発明も、メモリ・デバイスの大容量化、線分の向きに拘らず描画専用メモリに対する 1 画面分の隠面処理およびデータの書込みを直線補間演算器の速度とほぼ等しい速度で行なうことができ、しかも並行して切断面処理を行なうことができ、さらに切断面処理のために必要なメモリ・デバイスの数の増加を防止できるという特有の効果を奏する。

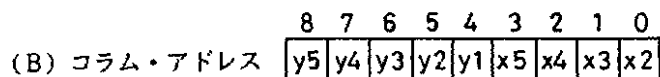
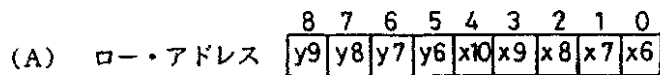
第 9 の発明は、セクショニング・データ用のメモリを構成するメモリ・デバイスの数を増加させることなく 1 プレーンを構成するメモリ・デバイスの数を 2 倍にできるので、一層高速のメモリ書込みを達成できるという特有の効果を奏する。

【図面の簡単な説明】

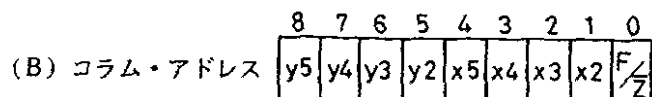
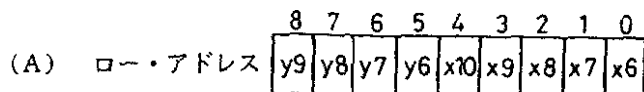
第 1 図はこの発明による描画動作を簡単に説明するフローチャート、
 第 2 図はタイミング・チャート、
 第 3 図はこの発明のメモリ・アクセスのために生成されたロー・アドレスおよびコラム・アドレスを説明する図、

* 第 4 図はインターフェース装置の構成の一例を示すブロック図、
 第 5 図は DDA (1) から出力されるアドレスデータのうち y6, x6 の何れかの変化、線分描画の終了の何れかが発生したことを検出するための回路構成を示す図、
 第 6 図はこの発明のメモリ書込み制御装置の一実施例を組込んだグラフィックス表示装置を概略的に示すブロック図、
 第 7 図は他の実施例を示す概略ブロック図、
 10 第 8 図はさらに他の実施例を示す要部概略図、
 第 9 図は第 8 図の実施例のメモリ・アクセスのために生成されたコラム・アドレスを説明する図、
 第 10 図はリード・モディファイ・ライト動作を説明するタイミング・チャート、
 第 11 図は 1 画素分のダブル・バッファ・メモリに対応する回路構成を示すブロック図、
 第 12 図はセクショニング・バッファを付加した状態を示す概略図、
 20 第 13 図は第 12 図の実施例のメモリ・アクセスのために生成されたロード・アドレスおよびコラム・アドレスを説明する図、
 第 14 図はメモリに対するアクセスとセクショニング・バッファに対するアクセスとを説明するタイミング・チャート
 第 15 図は 1 画素分のダブル・バッファ・メモリに対応する回路構成を示すブロック図。
 (1) (1b) (1c) (73) (83) DDA、(2) (2b) (2c) (71) (81) ダブル・バッファ・メモリ、(3) (7) 描画専用メモリ、(3a) (7a) (8a) 矩形小領域、(3b) (3c) ブロック・メモリ、(5) 表示専用メモリ、(6) (72) (82) 制御部、(8) セクショニング・バッファ

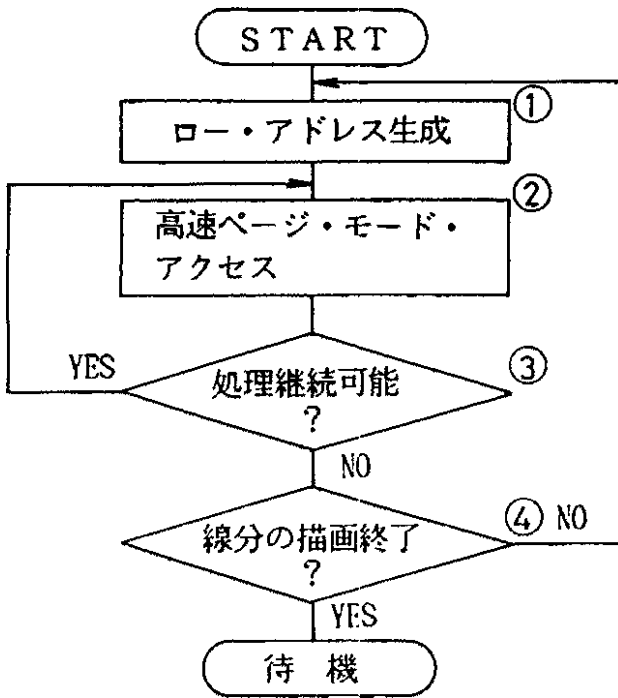
【第 3 図】



【第 9 図】

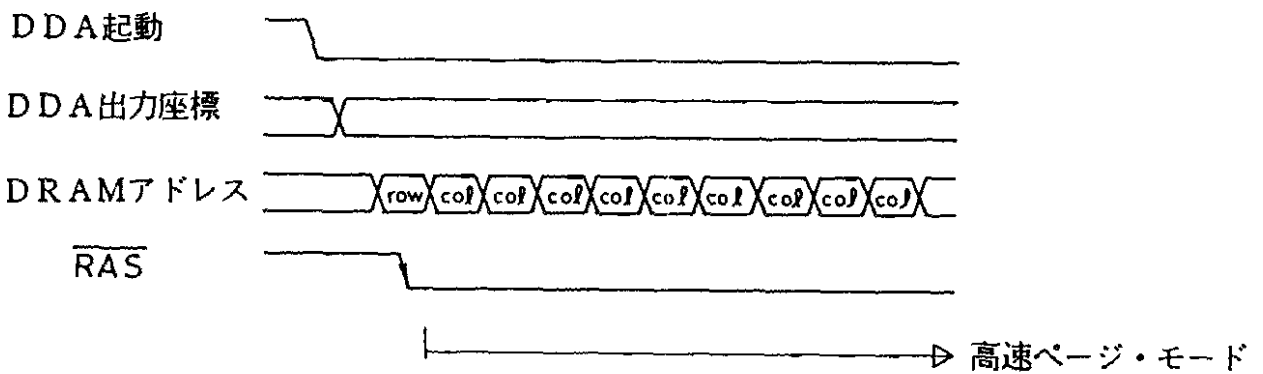


【第1図】

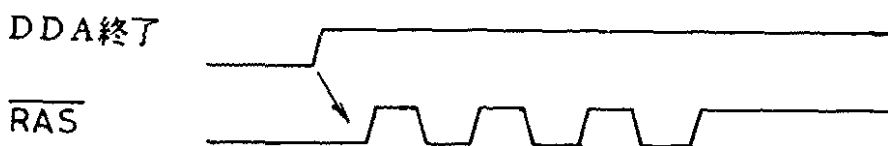


【第2図】

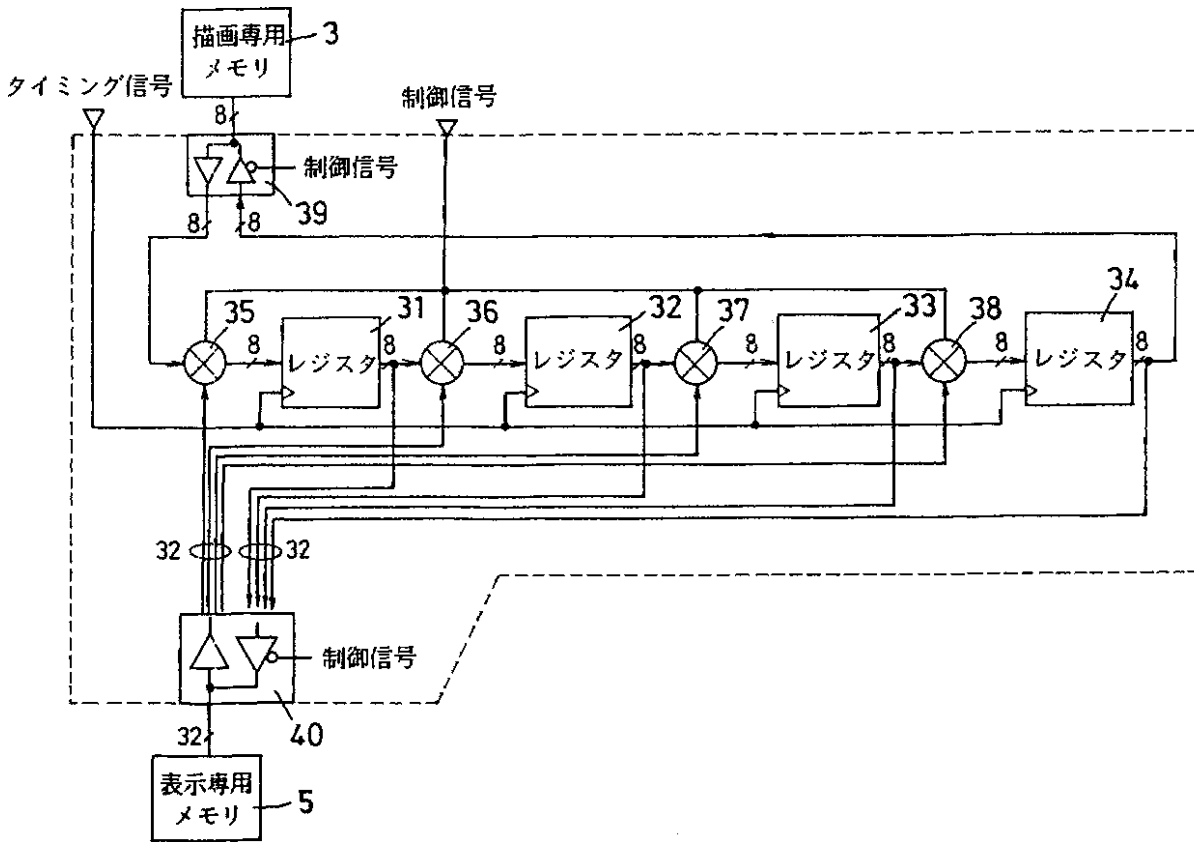
(A)



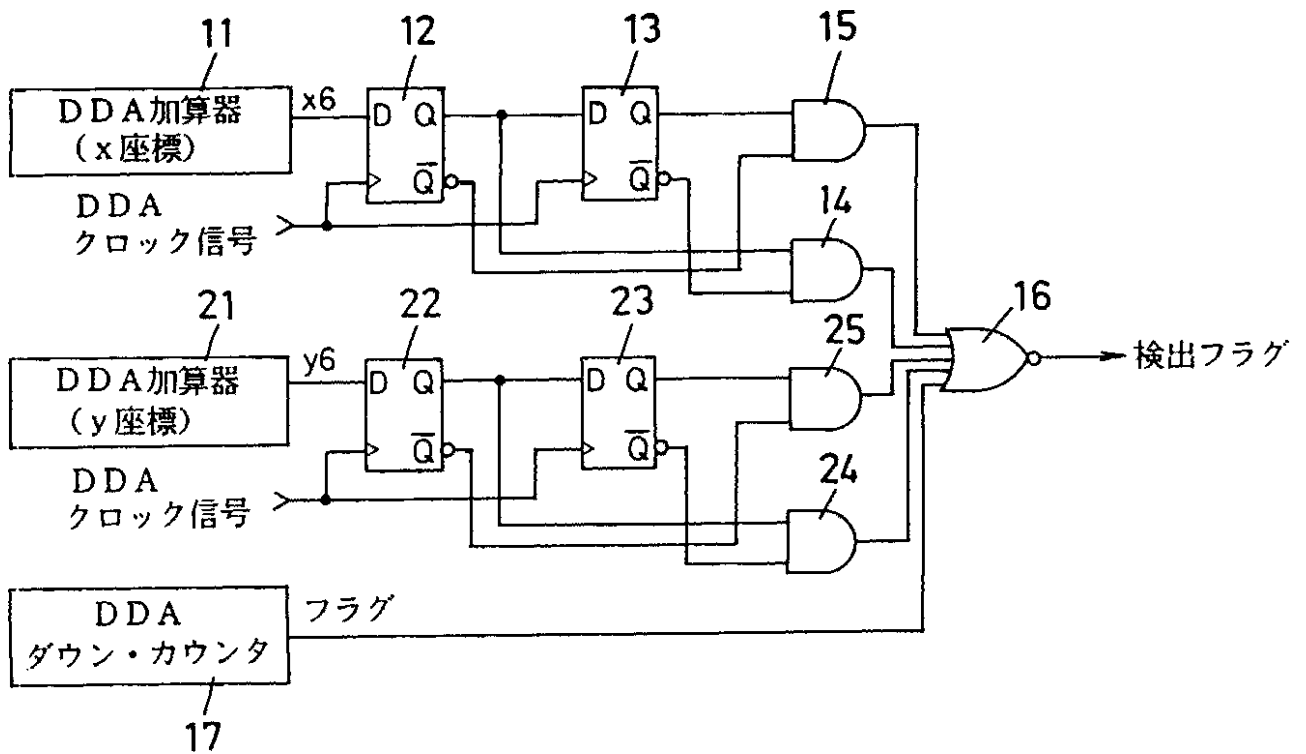
(B)



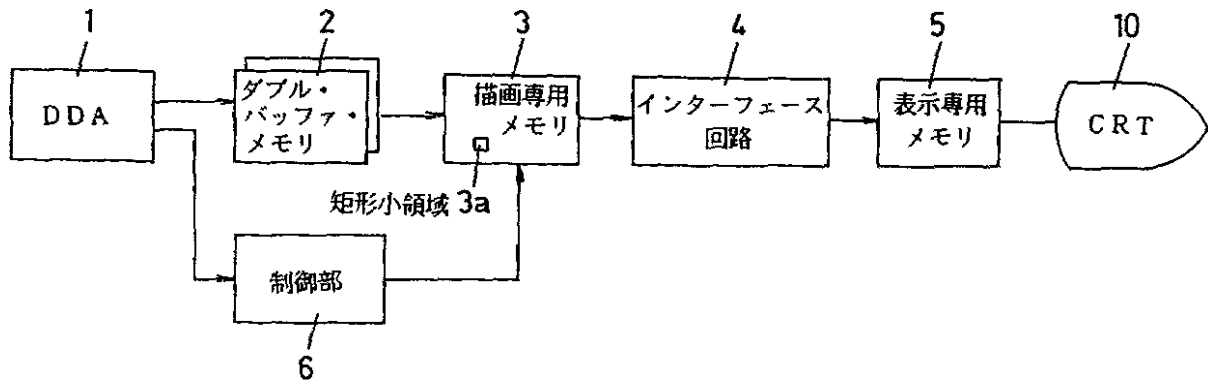
【第4図】



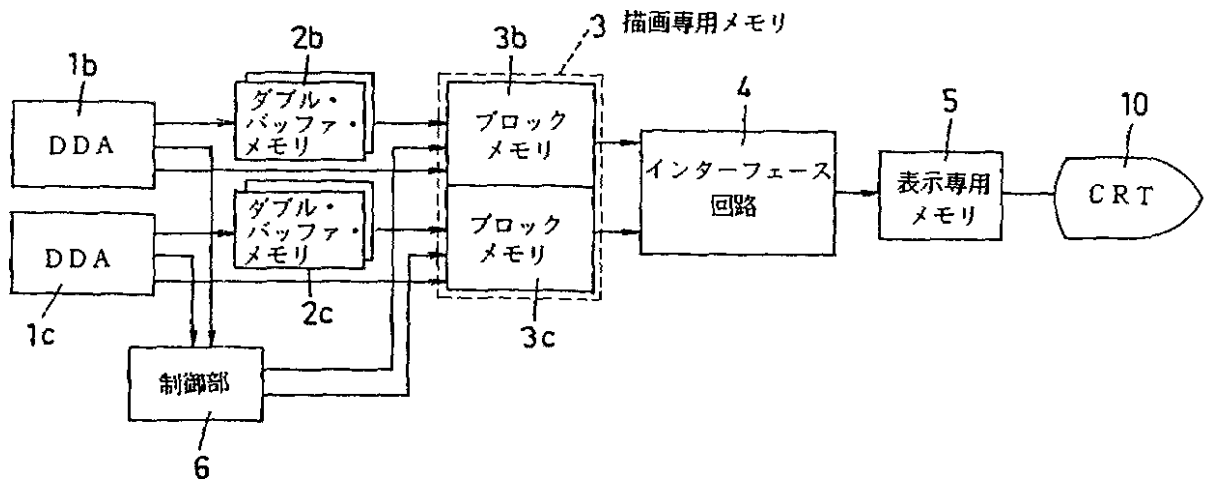
【第5図】



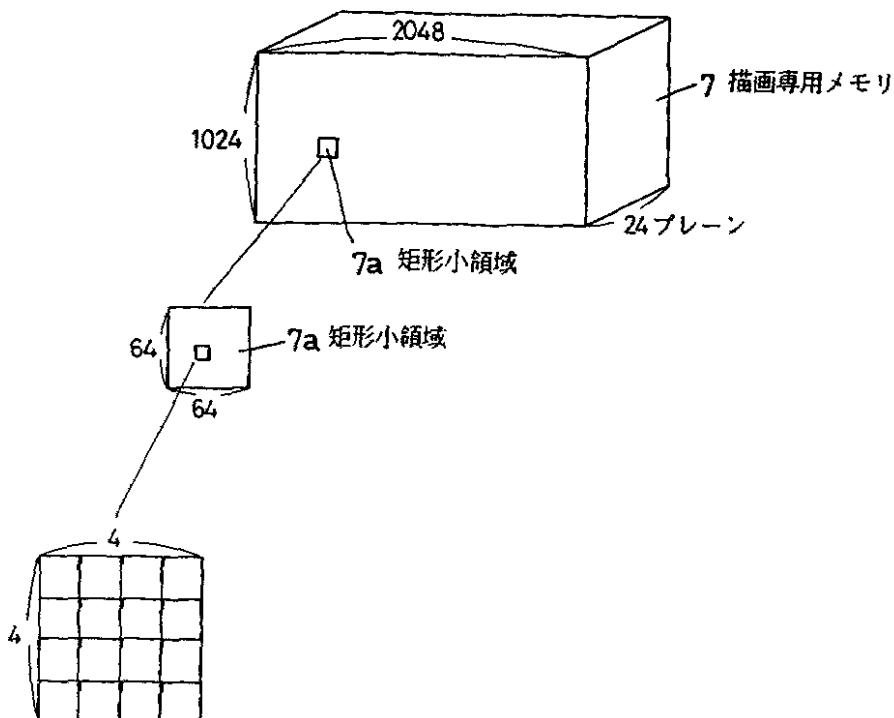
【第6図】



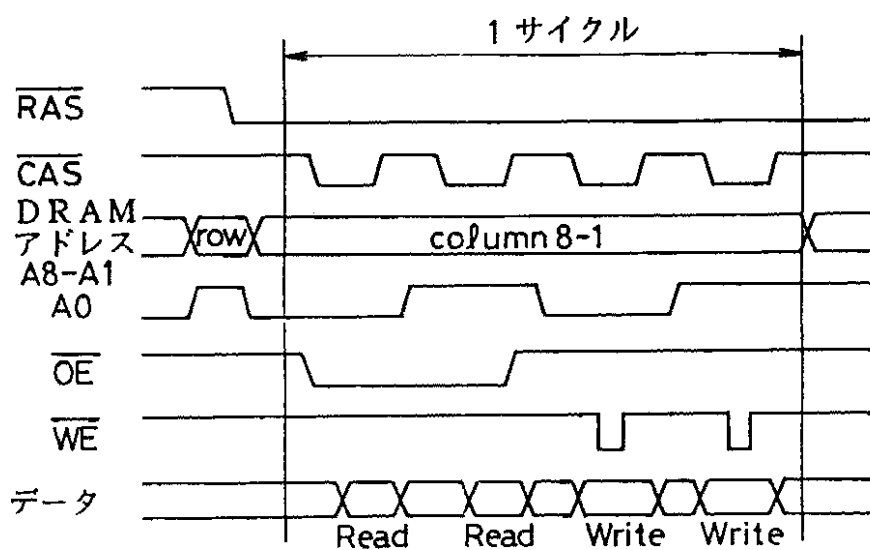
【第7図】



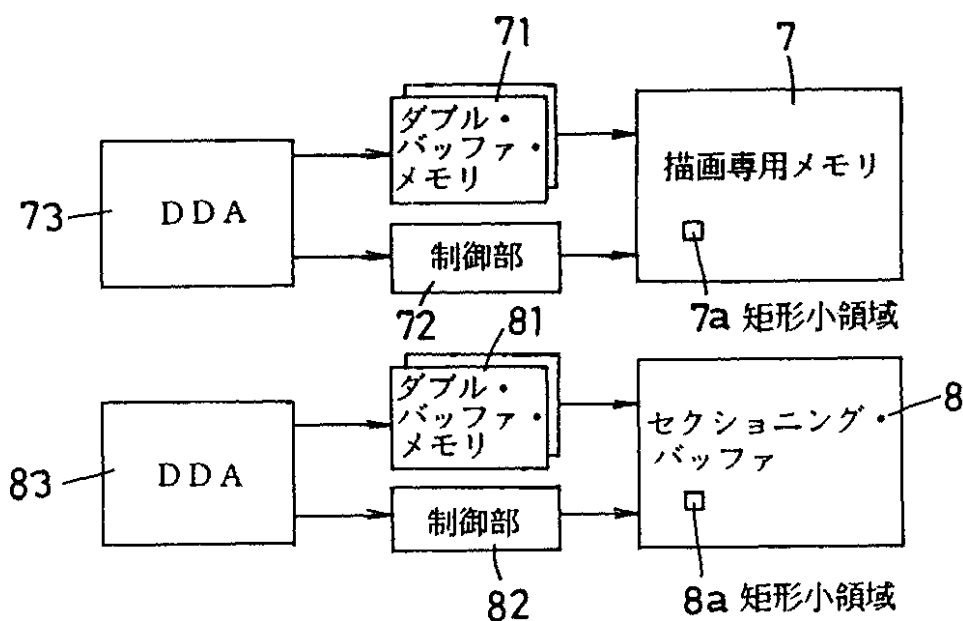
【第8図】



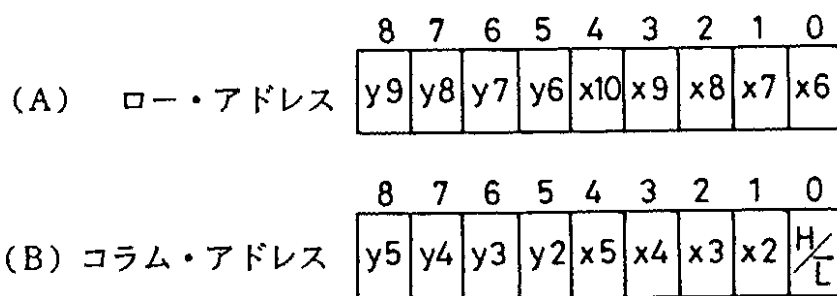
【第10図】



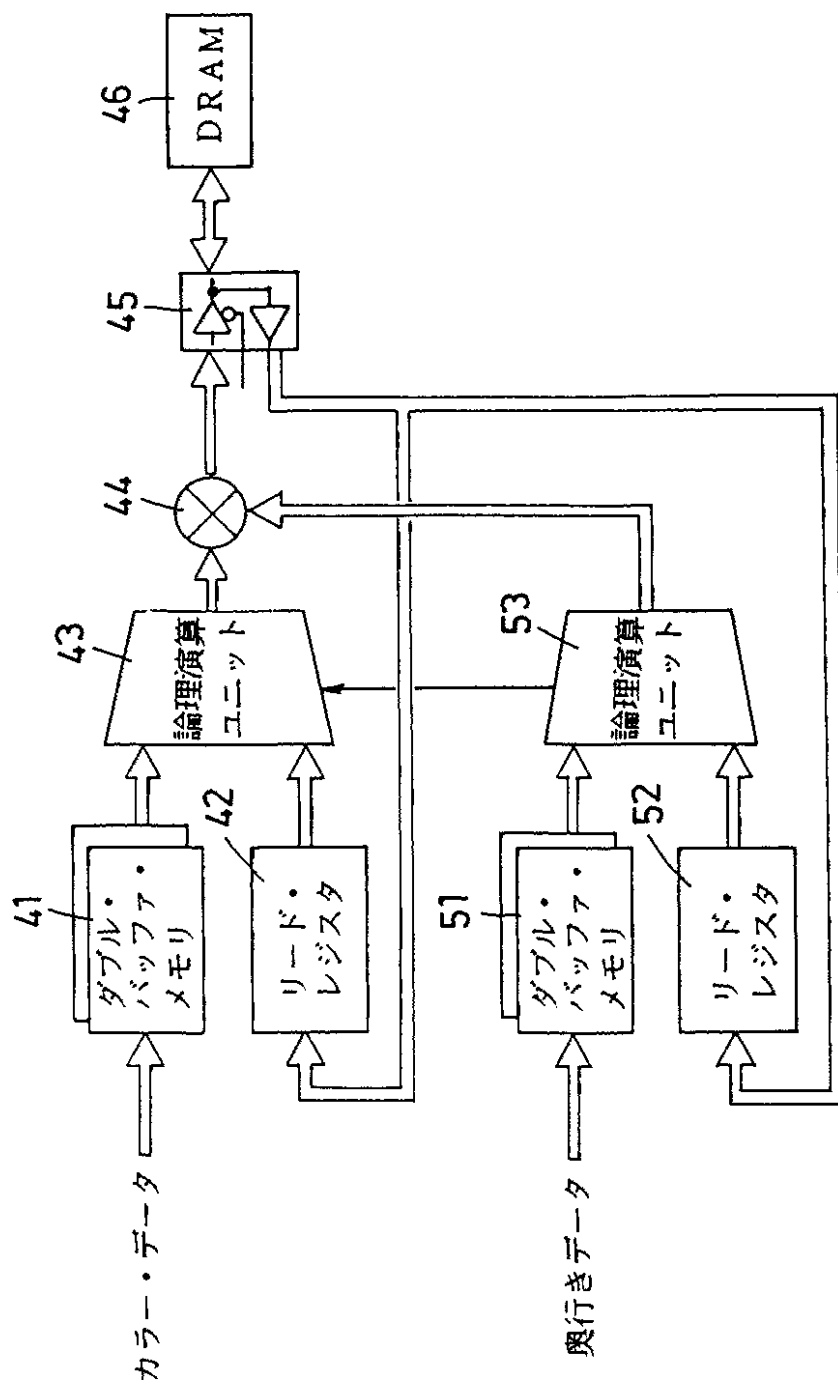
【第12図】



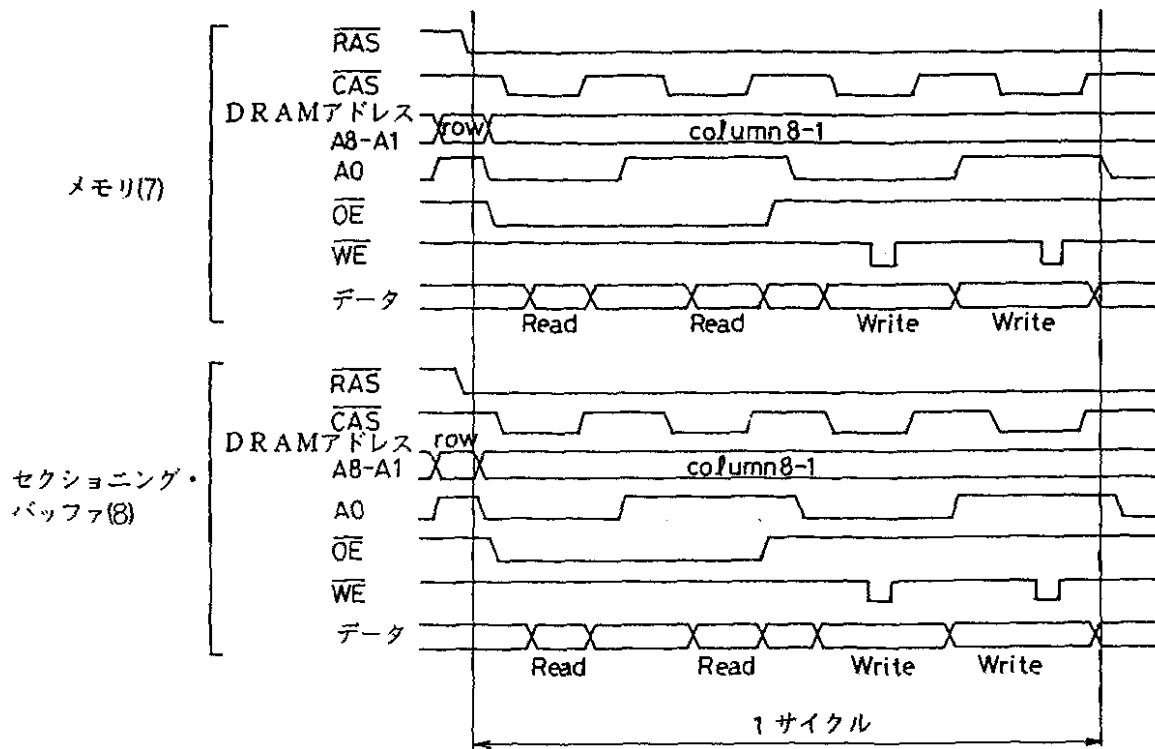
【第13図】



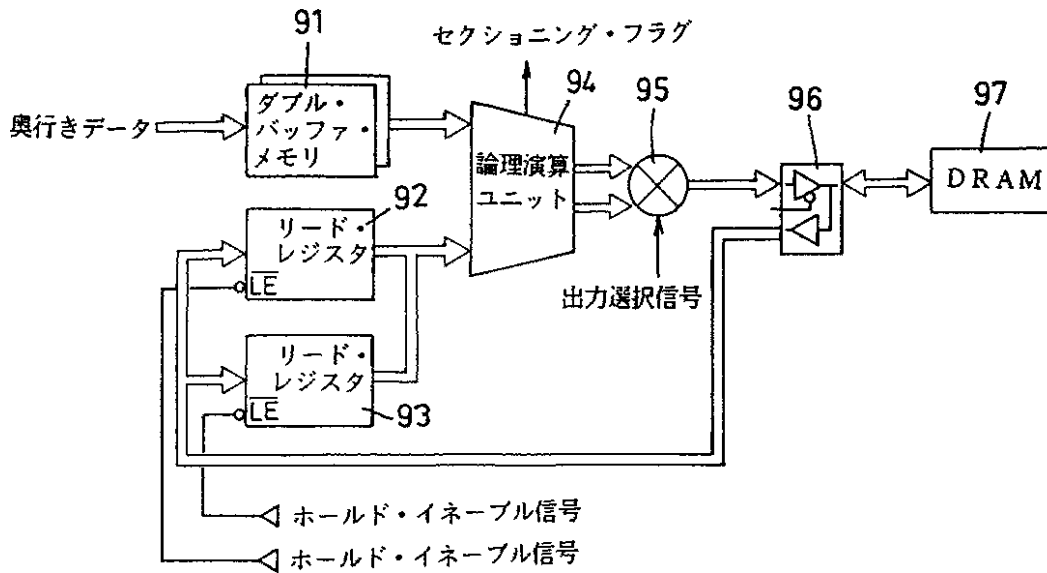
【第11図】



【第14図】



【第15図】



フロントページの続き

- (56)参考文献 特開 昭63 - 229574 (J P , A)
特開 昭63 - 24368 (J P , A)
特開 昭63 - 46580 (J P , A)
特開 昭63 - 223985 (J P , A)
特開 昭63 - 158672 (J P , A)
特開 昭63 - 233479 (J P , A)
特開 昭63 - 307591 (J P , A)