

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3140024号
(P3140024)

(45)発行日 平成13年3月5日(2001.3.5)

(24)登録日 平成12年12月15日(2000.12.15)

(51)Int.Cl.⁷

識別記号

F I

G 0 6 T 11/00

G 0 6 F 15/72

3 5 0

請求項の数3(全 8 頁)

(21)出願番号	特願平1-277615	(73)特許権者	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22)出願日	平成1年10月25日(1989.10.25)	(72)発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65)公開番号	特開平3-138779	(74)代理人	999999999 弁理士 津川 友士
(43)公開日	平成3年6月13日(1991.6.13)		
審査請求日	平成5年3月31日(1993.3.31)		
審判番号	平11-6508		
審判請求日	平成11年4月22日(1999.4.22)		
		合議体	
		審判長 関川 正志	
		審判官 東 次男	
		審判官 田辺 寿二	

最終頁に続く

(54)【発明の名称】 テクスチャ・マッピング方法およびその装置

1

(57)【特許請求の範囲】

【請求項1】単調な繰返しパターンの一部をマッピング図形としてマッピング図形格納手段(2)に格納しておき、ディスプレイ面に対応するアドレスと同期して生成されるマッピング・アドレス(u)(v)の上位所定数ビットを該当する繰返しパターンの格納箇所に対応する定数で置換してマッピング図形格納手段(2)に対して読出しアドレスとして供給することを特徴とするテクスチャ・マッピング方法。

【請求項2】単調な繰返しパターンの一部をマッピング図形として格納するマッピング図形格納手段(2)と、マッピング図形格納手段(2)に対する読出しアドレス(u)(v)を生成するアドレス生成手段(4u)(4v)と、生成された読出しアドレス(u)(v)の上位所定数ビットを該当する繰返しパターンの格納箇所に対応す

2

る定数で置換する置換手段(5u)(5v)とを含むことを特徴とするテクスチャ・マッピング装置。

【請求項3】置換手段(5u)(5v)が、読出しアドレス(u)(v)の上位任意数ビットをマスクし、マスクしたビット位置に任意の定数をセットし得る選択手段(53u)(53v)(61)(62)(63)(64)と、マスクするビットを指定するマスク・ビット指定手段(52u)(52v)と、マスクしたビット位置にセットする値を指定するセット値指定手段(51u)(51v)とを含んでいる上記特許請求の範囲第2項記載のテクスチャ・マッピング装置。

【発明の詳細な説明】

<産業上の利用分野>

この発明はマッピング図形が単調な繰返しパターンである場合に好適なテクスチャ・マッピング方法およびその装置に関する。

10

<従来の技術>

従来からグラフィックス表示装置はテクスチャ・マッピング機能を具備しており、表示すべき図形の形状を変化させることなく任意の模様を付与することにより意匠上の効果を視認するいわゆるCAD (computer aided design) 等を行ない易くすることができる。

第9図は従来から汎用されているテクスチャ・マッピング装置の構成を概略的に示すブロック図であり、マッピング図形を格納するソース・メモリ(91)と、ディスティネーション図形を格納するディスティネーション・メモリ(92)と、ディスティネーション・メモリ(92)に供給すべき平面座標データ、奥行きデータおよび色データを生成するディスティネーション用直線発生器(93)と、ソース・メモリ(91)に供給すべき読出しアドレスとしての平面座標データを生成するソース用直線発生器(94)と、上記色データおよびソース・メモリ(91)から読出された色データとを入力とする演算器(95)とを有している。尚、演算器(95)から出力される色データがディスティネーション・メモリ(92)に書込み用の色データとして供給される。

したがって、ディスティネーション用直線発生器(93)と同期してソース用直線発生器(94)を動作させればよく、ソース・メモリ(91)から読出された色データに基づいてディスティネーション・メモリ(92)に対する書込みが行なわれ、この結果、表示する図形の模様をソース・メモリ(91)の内容に基づいて簡単に変更することができる。

<発明が解決しようとする課題>

以上の説明から明らかなように、テクスチャ・マッピング装置は、表示する図形のサイズに合わせてソース・メモリ(91)にマッピング図形を格納しておけばよいのであるが、タイル模様、れんが模様のような単純な繰返しパターンであっても、表示する図形のサイズに合わせて繰返しパターンをソース・メモリ(91)に格納しておかなければならず、マッピング図形を格納する手間がかかるのみならず、かなり大きな容量のソース・メモリ(91)(表示する図形の最大サイズと等しい容量のソース・メモリ)が必要になるという不都合がある。また、繰返しパターンが代わる毎にソース・メモリ(91)に対する繰返しパターンの書込みが必要になる。

また、タイル、れんが等1個分のマッピング図形を格納しておくだけで表示する図形の全範囲に対するテクスチャ・マッピングを行なうことも考えられるが、この場合には、タイル、れんが1個分に対応させて、表示する図形を分割し、登録しておかなければならず、分割、登録の手間がかかってしまうという不都合がある。

したがって、何れの場合にもテクスチャ・マッピング動作を行なわせる前処理にかなりの労力および長い時間がかかるという不都合がある。

<発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、ソース・メモリの必要容量を少なくできるとともに、前処理を著しく簡素化できる新規なテクスチャ・マッピング方法およびその装置を提供することを目的としている。

<課題を解決するための手段>

上記の目的を達成するための、この発明のテクスチャ・マッピング方法は、単調な繰返しパターンの一部をマッピング図形としてマッピング図形格納手段に格納しておき、ディスプレイ面に対応するアドレスと同期して生成されるマッピング・アドレスの上位所定数ビットを該当する繰返しパターンの格納箇所に対応する定数で置換してマッピング図形格納手段に対して読出しアドレスとして供給する方法である。

上記の目的を達成するための、この発明のテクスチャ・マッピング装置は、単調な繰返しパターンの一部をマッピング図形として格納するマッピング図形格納手段と、マッピング図形格納手段に対する読出しアドレスを生成するアドレス生成手段と、生成された読出しアドレスの上位所定数ビットを該当する繰返しパターンの格納箇所に対応する定数で置換する置換手段とを含んでいる。

但し、上記置換手段としては、読出しアドレスの上位任意数ビットをマスクし、マスクしたビット位置に任意の定数をセットし得る選択手段と、マスクするビットを指定するマスク・ビット指定手段と、マスクしたビット位置にセットする値を指定するセット値指定手段とを含んでいることが好ましい。

<作用>

以上のテクスチャ・マッピング方法であれば、単調な繰返しパターンの一部をマッピング図形としてマッピング図形格納手段に格納しておき、マッピング・アドレスの上位所定数ビットを該当する繰返しパターンの格納箇所に対応する定数で置換するのであるから、マッピング図形よりも大きい表示用の図形に対してテクスチャ・マッピングを行なう場合には、マッピング図形が必要回数だけアクセスされ、この結果、表示用の図形の全範囲に対して繰返しパターンをマッピングすることができる。

以上の構成のテクスチャ・マッピング装置であれば、単調な繰返しパターンの一部をマッピング図形としてマッピング図形格納手段に格納しておき、マッピング図形格納手段に対する読出しアドレスの上位所定数ビットを置換手段により該当する繰返しパターンの格納箇所に対応する定数で置換するのであるから、マッピング図形よりも大きい表示用の図形に対してテクスチャ・マッピングを行なう場合には、マッピング図形が必要回数だけアクセスされ、この結果、表示用の図形の全範囲に対して繰返しパターンをマッピングすることができる。

そして、置換手段が、選択手段と、マスク・ビット指定手段と、セット値指定手段とを含んでいる場合には、

マスク・ビット指定手段によりマスクすべきビット数を設定できるとともに、マスクされたビットにセットする新たな値をセット値指定手段により設定できるのであるから、マッピング図形格納手段に格納されているマッピング図形のアドレス、サイズに適合する読出しアドレスを生成することができる。

第1図(A)に示す繰返しパターンをマッピング図形とする場合を例にとりてさらに詳細に説明する。

第1図(B)に示すように、マッピング図形格納手段の所定領域(平面座標の上位所定数ビットがU1,V1の領域)に繰返しパターンの単位が格納されており、第1図(C)に示す表示用の図形に上記繰返しパターンをマッピングする場合には、表示用の図形を表示するためのアドレスおよび色データが順次生成され、この生成動作と同期してマッピング図形格納手段に対する読出しアドレスが生成される。しかし、読出しアドレスはそのままマッピング図形格納手段に供給されるのではなく、上位所定数ビットがそれぞれU1,V1で置換された状態で供給されるのであるから、マッピング図形格納手段からの読出しは、該当する繰返しパターンが格納されている領域に対してのみ行なわれる。そして、繰返しパターンが格納されている領域よりも広い領域からの読出しを行なうべく読出しアドレスが生成される場合には、上記領域に対するアクセスが反復して行なわれるのであるから、置換される前の読出しアドレスを基準とすれば、第1図(D)に示すように、繰返しパターンが必要個数だけ格納されているのと等価になる。したがって、マッピング図形格納手段に実際に格納されている繰返しパターンよりも広い範囲にマッピングを行なう場合に、必要最少限の繰返しパターンをマッピング図形格納手段に格納しておくだけで、全範囲に対して繰返しパターンに基づくテクスチャ・マッピングを達成することができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第2図はこの発明のテクスチャ・マッピング方法の一実施例を示すフローチャートであり、テクスチャ・マッピング・メモリに複数の繰返しパターンが第1図(B)に示す状態で格納されている場合に対応している。

テクスチャ・マッピングを行なう場合には、ステップ①において繰返しパターンを選択し、ステップ②において、選択された繰返しパターンに基づいて、読出しアドレスの上位所定数ビットを置換すべき値U1,V1を設定し、ステップ③においてディスティネーション・メモリおよびテクスチャ・マッピング・メモリのそれぞれに供給すべきデータを生成し、ステップ④において、テクスチャ・マッピング・メモリに供給すべきデータの上記所定数ビットを上記値U1,V1で置換し、ステップ⑤において、生成されたままのデータをディスティネーション・メモリに供給するとともに、値U1,V1により上位所定数

ビットが置換されたデータをテクスチャ・マッピング・メモリに供給し、該当する繰返しパターンを讀出してディスティネーション・メモリの該当アドレスに投影する。そして、ステップ⑥においてテクスチャ・マッピングが終了したか否かを判別し、終了していないと判別された場合には、再びステップ③の処理を行なう。逆に終了していると判別された場合にはそのまま一連の処理を終了する。

以上の一連の処理を行なえば、対象図形がテクスチャ・マッピング・メモリに格納されている繰返しパターンより大きくても、この繰返しパターンを複数回繰返し読出し、マッピングするので、対象図形的全範囲について繰返しパターンをマッピングすることができる。

<実施例2>

第3図はこの発明のテクスチャ・マッピング装置の一実施例を示すブロック図であり、対象図形が描画されるディスティネーション・メモリ(1)と、複数の繰返しパターンが格納されているテクスチャ・マッピング・メモリ(2)と、ディスティネーション・メモリ(1)に供給すべきアドレスおよび色データを生成する直線補間演算器(以下、DDAと略称する)(3x)(3y)(3c)と、テクスチャ・マッピング・メモリ(2)に供給すべきアドレスを生成するDDA(4u)(4v)と、DDA(4u)(4v)から出力されるアドレスの上位所定数ビットを該当する繰返しパターンに対応する定数で置換する置換部(5u)(5v)と、テクスチャ・マッピング・メモリ(2)から読出された色データおよびDDA(3c)により生成された色データを入力として所定の処理を施し、処理結果をディスティネーション・メモリに供給する演算器(6)とを有している。

第4図は置換部(5u)(5v)の構成の一例を示すブロック図であり、セット値指定手段としてのバンク・レジスタ(51u)(51v)と、マスク・ビット指定手段としてのマスク・レジスタ(52u)(52v)と、選択手段としてのセレクト・アレイ(53u)(53v)とをそれぞれ有している。

上記バンク・レジスタ(51u)(51v)は繰返しパターン選択動作に伴って、該当する繰返しパターンの先頭アドレスがセットされるものであり、上記マスク・レジスタ(52u)(52v)は繰返しパターンの全範囲を通じてアドレスの値が変化するビットと変化しないビットとを識別するデータがセットされるものであり、上記セレクト・アレイ(53u)(53v)はマスク・レジスタの各ビットの値に基づいてDDAからの出力データ、バンク・レジスタからの出力データを選択するものである。このセレクト・アレイは、例えば第5図に示すように、DDAからの出力データ、バンク・レジスタからの出力データが供給されるANDゲート(61)(62)の出力データをORゲート(63)に供給し、ORゲート(63)からの出力データをテクスチャ・マッピング・メモリ(2)に供給するよう

10

20

30

40

50

にしている。そして、上記ANDゲート(61)にはマスク・レジスタの内容がそのまま供給され、ANDゲート(62)にはマスク・レジスタの内容がインバータ(64)を介して供給されている。したがって、マスク・レジスタの内容に基づいてDDAからの出力データ、またはバンク・レジスタからの出力データがビット単位で選択される。

以上の構成のテクスチャ・マッピング装置の動作は次のとおりである。

テクスチャ・マッピング・メモリ(2)は例えば、予め16個の矩形領域に区画されており、各区画領域毎に互に異なる繰返しパターンが格納されている。したがって、各繰返しパターンが格納されている区画領域は、u-vアドレスの上位2ビットずつにより指定できる。以下においては、u-vアドレスの上位2ビットがそれぞれ“10”“01”の区画領域にれんが積み模様の繰返しパターンが格納されている場合(第6図参照)について説明する。

この場合には、マスク・レジスタ(52u)(52v)に上位2ビットが“0”で残余のビットが“1”のデータが格納され、れんが積み模様の繰返しパターンが選択されたことを条件として各バンク・レジスタ(51u)(51v)に、それぞれ上位2ビットが“10”“01”となる値が格納される。

この状態でディスティネーション・メモリ(1)に描画された家(1a)の壁の部分(1b)(第8図参照)にれんが積み模様をマッピングする場合には、DDA(3x)(3y)により壁を構成するピクセルの平面アドレスx,yを順次生成し、このアドレス生成と同期してDDA(4u)(4v)により読出しアドレスu,vを順次生成する。しかし、このu,vアドレスはそのままテクスチャ・マッピング・メモリ(2)に供給されるのではなく、セクタ・アレイ(53u)(53v)を介して供給されるのであるから、以下のようにしてれんが積み模様の繰返しパターンのみを読出すべく読出しアドレスをテクスチャ・マッピング・メモリ(2)に供給することができる。即ち、DDA(4u)により生成される読出しアドレスuが、第8図

(A)に示すようにu0,u1,...u9の10ビットのアドレスであっても、第8図(B)に示すように、上位2ビットについてはマスク・レジスタ(52u)の内容が“00”であるからu9,u8に代えてバンク・レジスタ(51u)の上位2ビット“10”(第8図(C)参照)が選択され、残余のビットについてはマスク・レジスタ(52u)の内容が全て“1”であるからu7,u6,...u0が選択される。この結果、“1,0,u7,u6,...,u0”(第8図(D)参照)が読出しアドレスとしてテクスチャ・マッピング・メモリ(2)に供給される。同様にvアドレスについてもセクタ・アレイ(53v)において同様の処理が行なわれ、上位2ビットが“01”に変換された読出しアドレスがテクスチャ・マッピング・メモリ(2)に供給される。この読出し

アドレスは順次変化するのであるが、実際にテクスチャ・マッピング・メモリ(2)に供給されるアドレスはu7,u6,...u0およびv7,v6,...v0の範囲で変化するだけであるから、DDA(4u)(4v)から出力されるアドレスのビットu8またはv8が変化する毎に再び該当する区画領域に対する読出しアドレスをテクスチャ・マッピング・メモリ(2)に供給する。したがって、れんが積み模様のマッピング図形がテクスチャ・マッピング・メモリ(2)の全範囲に格納されているのと同様になり、壁の部分(1b)が広くてもれんが積み模様を必要回数だけ反復して読出し、演算器(6)を通してディスティネーション・メモリ(1)に供給することにより何ら不都合なくマッピングを達成することができる。(第8図中破線参照)

また、他の部分に他の繰返しパターンをマッピングする場合には、バンク・レジスタ(51u)(51v)の内容を該当する繰返しパターンが格納されている区画領域に対応する値に変更するだけで同様にテクスチャ・マッピングを行なうことができる。その後は、ディスティネーション・メモリ(1)の内容に基づいて可視的表示を行なえばよい。

以上の説明においては、ディスティネーション・メモリ(1)に供給するための平面アドレスおよび色データを生成する2次元グラフィックス表示装置についてのみ説明したが、奥行きデータをも生成し、デプス・バッファ・アルゴリズムを用いることにより3次元的表示を行なわせることもできる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、DDA(4u)(4v)にx値、y値をそれぞれ供給してハッチング、ピクセル・アレイとして用いることが可能であるほか、テクスチャ・マッピング・メモリ(2)の区画領域を固定しておいて、マスク・レジスタ(52u)(52v)を省略することが可能であり、さらに、繰返しパターンの種類に対応して異なるサイズの区画領域を割当てておくことが可能であるほか、この発明の要旨を変更しない範囲内において種々の設計変更を施すことが可能である。

<発明の効果>

以上のように第1の発明は、繰返しパターンのマッピング図形よりも大きい表示用の図形に対してテクスチャ・マッピングを行なう場合に、マッピング図形を必要回数だけアクセスして、表示用の図形の全範囲に対して繰返しパターンをマッピングすることができ、ひいてはマッピング図形の格納領域を小さくすることができるという特有の効果を奏する。

第2の発明も、繰返しパターンのマッピング図形よりも大きい表示用の図形に対してテクスチャ・マッピングを行なう場合に、マッピング図形を必要回数だけアクセスして、表示用の図形の全範囲に対して繰返しパターンをマッピングすることができ、ひいてはマッピング図形

の格納領域を小さくすることができるという特有の効果を奏する。

第3の発明は、マッピング図形格納手段に格納されているマッピング図形のアドレス、サイズに適合する読出しアドレスを生成することができ、種々の繰返しパターンに対処できるという特有の効果を奏する。

【図面の簡単な説明】

第1図はこの発明によるテクスチャ・マッピング動作を説明する概略図、

第2図はこの発明のテクスチャ・マッピング方法の一実施例を示すフローチャート、

第3図はこの発明のテクスチャ・マッピング装置の一実施例を示すブロック図、

第4図は置換部の構成の一例を示すブロック図、

第5図はセクタ・アレイの構成の一例を示すブロック図、

第6図はテクスチャ・マッピング・メモリにれんが積み*

*の繰返しパターンが格納されている状態を示す概略図、第7図は読出しアドレスの上位ビットを置換する動作を説明する図、

第8図は家の壁の部分に対するれんが積み模様のテクスチャ・マッピングを概略的に説明する図、

第9図は従来から汎用されているテクスチャ・マッピング装置の構成を概略的に示すブロック図。

(1)ディスティネーション・メモリ、

(2) テクスチャ・マッピング・メモリ、

(4u) (4v)DDA、(5u) (5v)置換部、

(51u) (51v)バンク・レジスタ、

(52u) (52v)マスク・レジスタ、

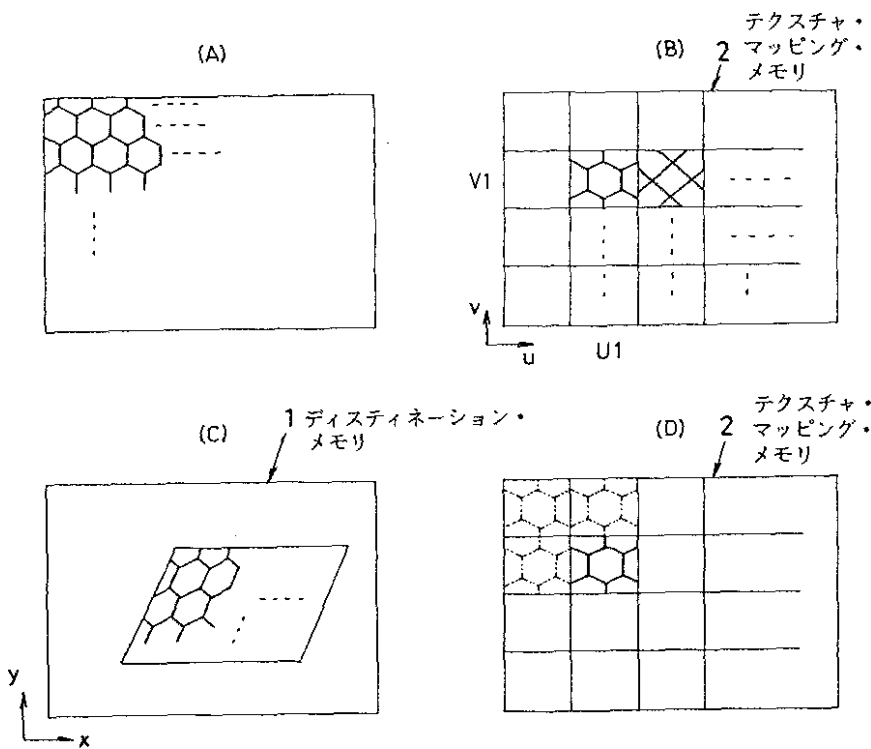
(53u) (53v)セクタ・アレイ、

(61) (62)ANDゲート、(63)ORゲート、

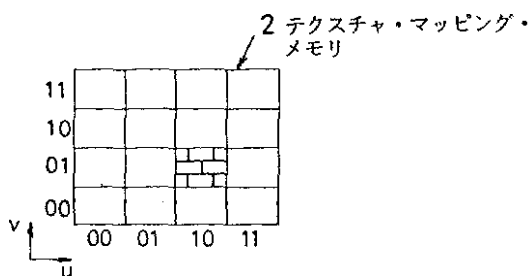
(64)インバータ、

(u) (v)読出しアドレス

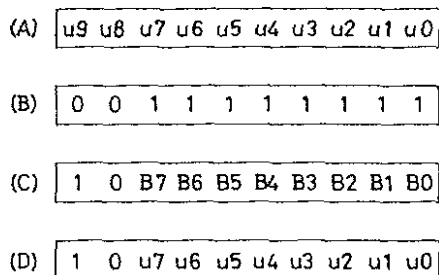
【第1図】



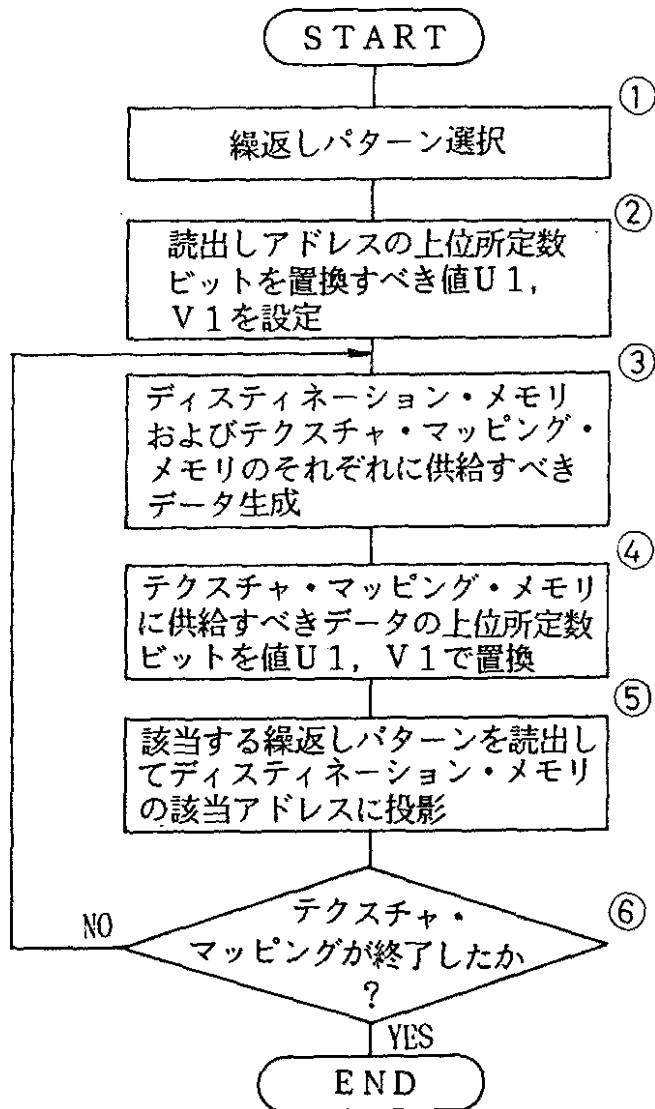
【第6図】



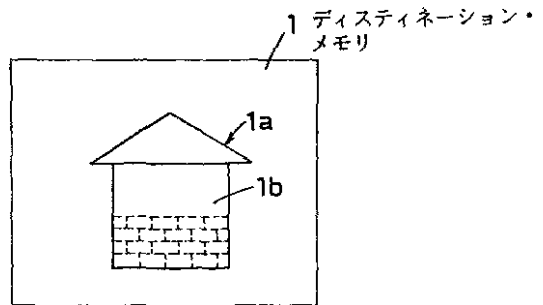
【第7図】



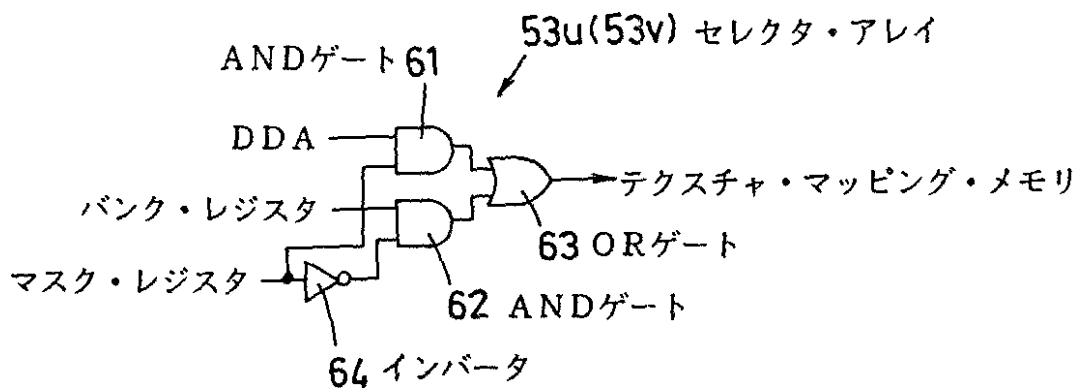
【第2図】



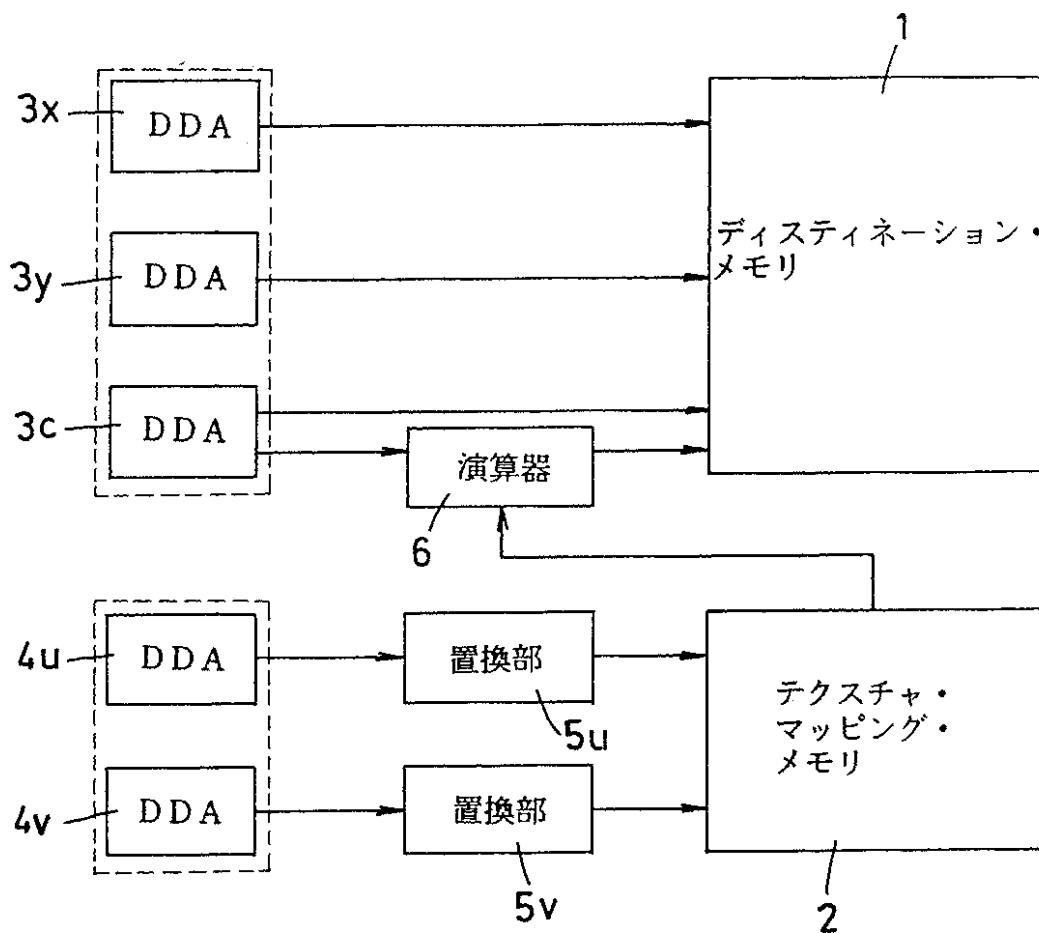
【第8図】



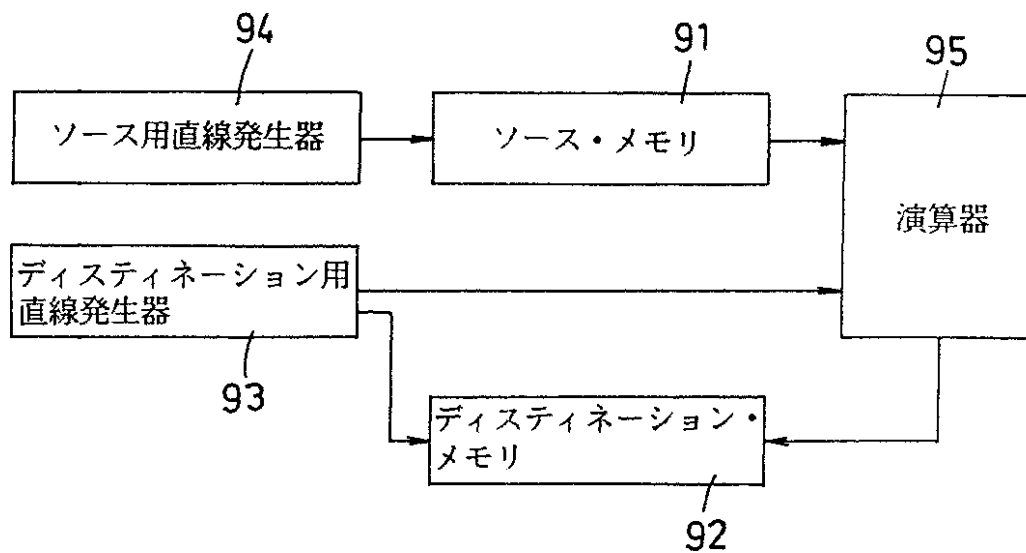
【第5図】



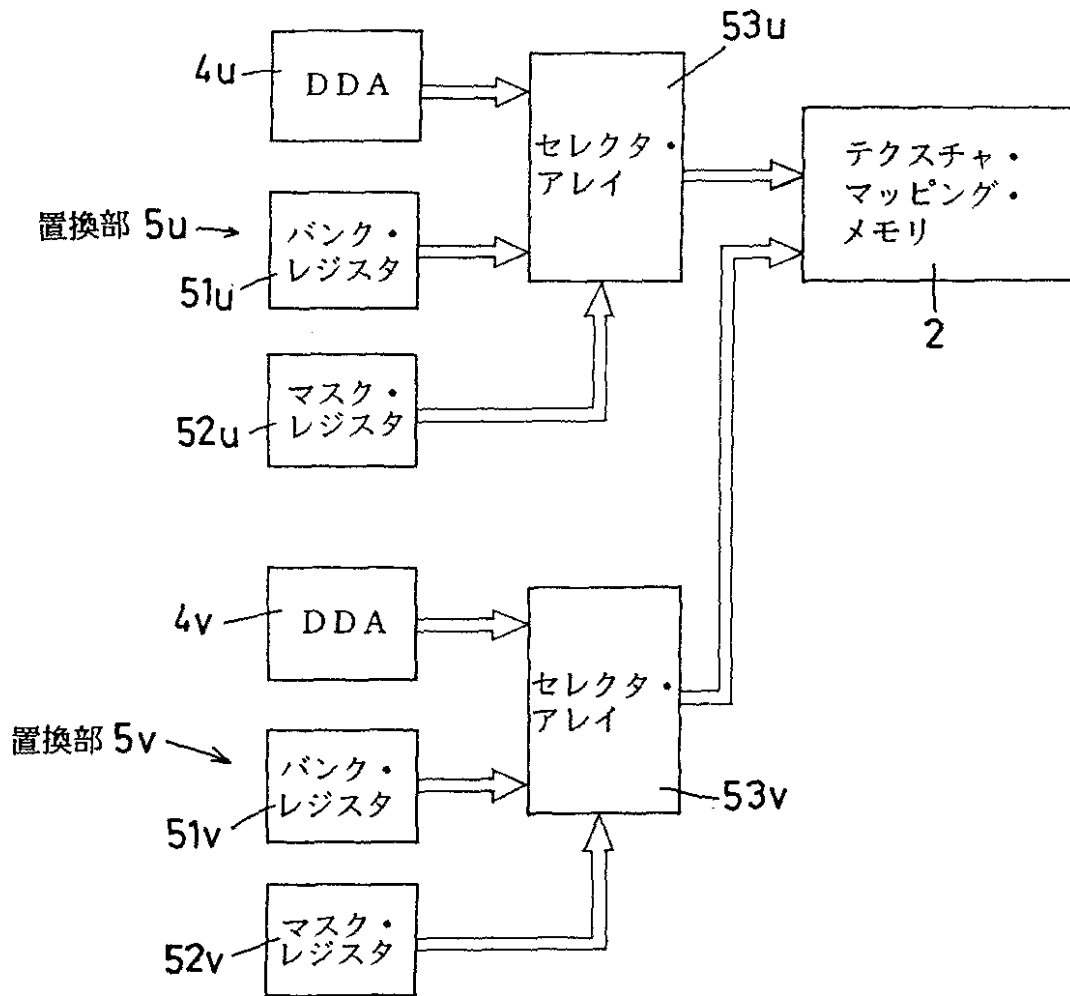
【第3図】



【第9図】



【第4図】



フロントページの続き

- (56)参考文献 特開 昭58 - 111978 (J P , A)
- 特開 昭61 - 113094 (J P , A)
- 特開 昭62 - 11967 (J P , A)
- 特開 平 1 - 106282 (J P , A)
- 特開 平 1 - 116821 (J P , A)
- 特開 昭63 - 80375 (J P , A)
- 実開 昭61 - 42589 (J P , U)