

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平8-3813

(24) (44) 公告日 平成 8 年 (1996) 1 月 17 日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/17

G 0 6 F 15/ 353

発明の数 1 (全 6 頁)

(21) 出願番号 特願昭60-218914

(22) 出願日 昭和60年(1985)10月1日

(65) 公開番号 特開昭62-78678

(43) 公開日 昭和62年(1987)4月10日

審査前置に係属中

(71) 出願人 999999999

ダイキン工業株式会社

大阪府大阪市北区中崎西2丁目4番12号

梅田センタービル

(72) 発明者 上田 智章

滋賀県草津市岡本町字大谷1000番地の2

ダイキン工業株式会社滋賀製作所内

審査官 ▲吉▼田 耕一

(56) 参考文献 特開 昭58-155456 (J P , A)

特開 昭53-112627 (J P , A)

特公 昭55-48614 (J P , B 2)

(54) 【発明の名称】 直線補間器用除算器

1

【特許請求の範囲】

【請求項1】 任意の2点を始時点とし、前記始時点の間を複数に、等間隔に分割する各分割点の座標を演算することにより前記始時点の間を補間するグラフィックディスプレイ装置の直線補間器において使用される、前記始時点の間の変位量を算出するための除算器であって、前記始時点間の距離に基づいて定まる分割数を算出する分割数算出手段と、

得られた分割数に相当する回数だけ変位量の加算を始点側より行なった状態で終点側の整数部に誤差を発生させない回数に除算器の減算試行回数を変更する減算試行回数変更手段と、

変更された減算試行回数で除算器の減算試行を行ない、得られた除算結果を商レジスタに格納することを特徴とする直線補間器用除算器。

2

【請求項2】 除算器が、被除数、および除数を浮動小数点型式に変換したデータに基づいて除算を行なうものであり、被除数の指数に2を加算した回数だけ減算試行を行なうとともに、除算結果を商レジスタに格納するものである上記特許請求の範囲第1項記載の直線補間器用除算器。

【請求項3】 商レジスタが、除算結果の桁に対応する所定桁部分から順にデータの入力を行なうものである上記特許請求の範囲第2項記載の直線補間器用除算器。

10 【発明の詳細な説明】

< 産業上の利用分野 >

この発明は直線補間器において、2点間を複数に分割する多数の点同士の間の変位量を算出するために使用される除算器に関する。

< 従来技術 >

従来からグラフィック・ディスプレイ装置等において直線補間器が使用されている。この直線補間器は、任意の2点を結ぶ線分を等間隔に分割し、両端点と中間の分割点の座標を連続的に演算するものであり、このために、互いに隣合う点同士の間の変位量を算出するため除算を行なうこと、および一方の端点の座標値を基準として上記変位量を順次累積的に加算することが必要である。そして、この直線補間器の処理速度は、例えばグラフィック・ディスプレイ装置の描画速度に大きな影響を与えるので、可能な限り高速であることが要求される。

ところで、上記隣合う点同士の間の変位量を得るための除算器として、従来から、第3図に示すように、被除数データが入力されたシフトレジスタ(21)と、除数データが入力されたレジスタ(22)と、両レジスタからのデータが入力される減算回路(23)と、減算回路(23)により多数回の減算試行を行なって得られた商を格納する商レジスタ(24)とからなる構成が採用されており、上記任意の2点間の分割数の多少に拘らず、商レジスタ(24)に格納可能な桁数の全範囲について商を得るまで減算試行を継続するようにしている。

<発明が解決しようとする問題点>

上記の構成の除算器であれば、必要以上に精度が高い商を得ることになり、減算試行回数が多いことに起因して除算時間が長くなるという問題がある。さらに詳細に説明すると、直線補間器においては、累積的に行なわれる加算回数が、任意の2点間の分割数により一義に定まるのであるから、この定まった回数の加算を行なった場合において整数部に誤差を生じさせない精度での除算を行なえばよいにも拘らず、物理的に演算可能な最高精度までの除算を行なっているため、必要以上の精度に対応する部分の除算に要する時間が無駄となり、この無駄な部分に対応する時間だけ除算時間が必要以上に長くなっていた。

<発明の目的>

この発明は上記の問題点に鑑みてなされたものであり、減算試行回数を減少させて除算所要時間を、直線補間器として必要な精度を損うことなく、短縮することができる直線補間器用除算器を提供することを目的としている。

<問題点を解決するための手段>

上記の目的を達成するための、この発明の直線補間器用除算器は、補間を必要とする始終点間の距離に基づいて定まる分割数を算出し、得られた分割数に相当する回数だけ前記始終点間の変位量の加算を始点側より行なった状態で終点側の整数部に誤差を発生させない最小の回数に除算器の減算試行回数を変更し、変更された減算試行回数で除算器の減算試行を行なうものである。

但し、除算器が、被除数、および除数を浮動小数点形式に変換したデータに基づいて除算を行なうものであり、被除数に指数に2を加算した回数だけ除算を行なうと

もに、除算結果を商レジスタに格納するものであってもよい。

商レジスタが、除算結果の桁に対応する所定桁部分から順にデータの入力を行なうものであってもよい。

<作用>

補間を必要とする始終点間の距離に基づいて定まる分割数を算出し、得られた分割数に相当する回数だけ前記始終点間の変位量の加算を始点側より行なった状態で終点側の整数部に誤差を発生させない最小の回数に除算器の減算試行回数を変更し、変更された減算試行回数で除算器の減算試行を行なうことにより、始終点の間の距離が多種多様な線分が混在しているグラフィックディスプレイ装置において、各線分に必要な最小限の精度での除算結果を得ることができ、得られた除算結果を商レジスタに格納することができる。

上記除算回数が、被除数、および除数を浮動小数点形式に変換したデータに基づいて除算を行なうものであり、被除数の指数に2を加算した回数だけ減算試行を行なうとともに、除算結果を商レジスタに格納するものであれば、仮数部同士を、被除数の指数に2を加算した回数だけ除算することにより、直線補間器用として必要な最小限の精度での除算結果を得ることができ、得られた除算結果を商レジスタに格納することができる。

商レジスタが、除算結果の桁に対応する所定桁部分から順にデータの入力を行なうものであれば、必要な桁数に対応する回数の入力データシフト、または入力桁切換を行なうのみで、全ての除算結果を商レジスタに格納することができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第1図は直線補間器用除算器の一実施例を示すブロック図であり、被除数データを型変換回路(1)に入力しているとともに、除数データを型変換回路(2)に入力している。この両型変換回路(1)(2)は、上記被除数データA、および除数データBに基づいてそれぞれ符号 S_a, S_b 、仮数部 A, B 、および指数部 N_a, N_b に対応するデータに変換するものである。そして、型変換回路(1)からの仮数部 A をシフトレジスタ(3)に入力させているとともに、型変換回路(2)からの仮数部 B をシフトレジスタ(4)に入力させ、さらに上記両レジスタ(3)(4)からの出力データを加算回路(5)に入力させている。ここで加算回路(5)を使用したのは、2進数の演算において加算と減算とは実質的に同一だからであり、常に1のキャリー入力が与えられ、かつ片方の入力を1の補数(負論理)入力とすることにより、減算回路として作用するようにしている。また、上記型変換回路(1)からの指数部データ N_a が減算試行回数制御用のカウンタ(6)に入力されているとともに、型変換回路(2)からの指数部データ N_b が商レジ

5

スタ(7)に入力されている。さらに上記加算回路(5)からの出力データをシフトレジスタ(3)にフィードバックさせているとともに、加算回路(5)からのキャリー出力データをシフトレジスタ(3)、および商レジスタ(7)に入力させている。

以上の構成の直線補間器用除算器であれば、被除数データAが、型変換回路(1)により符号データSaと絶対値化データとに分離され、しかも、この絶対値化データを、仮数部データAの整数部が1となるよう正規化するとともに、指数部データNaを生成する。また、上記除数データBについても、型変換回路(2)により、同様にして、符号データSb、正規化された仮数部データB、および指数部データNbを生成する。そして、上記被除数データAの指数部データNaがカウンタ(6)に入力されることにより、加算回路(5)による減算試行回数を(Na+2)回となるよう制御する。そして、このカウンタ(6)による制御下において、上記両型変換回路(1)(2)からの仮数部データA、Bをそれぞれシフトレジスタ(3)、除数レジスタ(4)を通して加算回路(5)に入力することにより、1回づつ減算動作を遂行し、この加算回路(5)からのキャリー出力データが1であるか0であるかに対応させて、加算回路(5)からの減算結果データをそのままシフトレジスタ(3)に入力するか、シフトレジスタ(3)の内容をシフトさ*

$$2^{-(Nb+1)} - 1 < \sum_{i=1}^{Nb+1} e_i < \sum_{i=1}^{Nb+1} 2^{-i} = 1$$

$$\therefore E < 1$$

となり、累積加算誤差が整数部に与える誤差は1より小さいことが分かる。

したがって、B回の加算によって整数部に誤差を生じさせないようにするには、商を2^{-(Nb+1)}桁目まで求めれば充分である。

第2図は商レジスタ(7)の構成を示す電気回路図であり、各桁のデータに対応するセレクタ(8a)(8b)...(8n)、およびラッチ回路(9a)(9b)...(9n)を有している。そして、上記第1図の加算回路(5)からのキャリー出力データCをバッファ(10)を通して上記各セレクタ(8a)(8b)...(8n)の一方の入力端子に入力しているとともに、上位桁のラッチ回路からの出力データを上記各セレクタの他方の入力端子に入力している。

6

* せるかを制御するとともに、キャリー出力データを、商として商レジスタ(7)に入力する。そして、上記カウンタ(6)の内容により規定される回数(Na+2)だけ加算回路(5)による減算動作を遂行させることにより、2^(Na-Nb)桁から2^{-(Nb+1)}桁まで桁数が(Na+2)の商を得ることができる。尚、上記の構成においては、絶対値部分の演算結果のみが得られ、符号がどうなるか不明であるが、上記両型変換回路(1)(2)から出力される符号データSa,Sbを図示しない符号判定回路に入力することにより判定することができる。

直線補間器においては、上記のようにして得られた商を、上記除数データとして入力されたデータBの指数部データNbに対応させて2^{Nb}から2^(Nb+1)-1までの間の回数だけ加算するのであるから、上記のように、2^(Na-Nb)桁から2^{-(Nb+1)}桁までのデータとして得られる商を上記回数だけ加算しても、整数部に誤差が生じることはなく、正確な各分割点の座標を得ることができる。さらに詳細に説明すると、商が固定小数点型式で表現されている場合において、商の演算を2^{-(Nb+1)}桁で打ち切ったとすれば、2^{-(Nb+2)}桁以降に誤差を生じる。この場合の打ち切り誤差eは、
e < 2^{-(Nb+1)}であり、2^(Nb+1)-1回の加算を行なった場合の累積加算誤差Eは、

$$2^{-(Nb+1)} - 1 < \sum_{i=1}^{Nb+1} e_i < \sum_{i=1}^{Nb+1} 2^{-i} = 1$$

$$\therefore E < 1$$

た、クロック信号CLKをバッファ(11)を通して上記各ラッチ回路(9a)(9b)...(9n)のクロック入力端子に入力しているとともに、ロード信号LDをバッファ(12)を通して上記各ラッチ回路(9a)(9b)...(9n)のクリア端子に入力している。さらに、上記第1図の指数部データNa,Nbにより定まるストア・ポイントSPが、上記ロード信号によって入力されるレジスタ(13)と、このレジスタ(13)に格納されたストア・ポイントSPが入力されるデコーダ(14)とを有し、デコード信号を上記各セレクタ(8a)(8b)...(8n)のセレクト入力端子に入力することにより、所定の1のセレクタのみがキャリー出力データCを対応するラッチ回路に入力するようにしている。

したがって、デコーダ(14)からのデコード信号により、順次1のセクタがキャリー出力データをラッチ回路に入力し、 $2^{(Na-Nb)}$ 桁から $2^{-(Nb+1)}$ 桁までのデータとして得られる商が上記第1図の加算回路(5)により浮動小数点型式で得られるものであっても、上記第2図の商レジスタを使用することにより、自動的に固定小数点型式に変換することができ、しかも必要な全ての商データを商レジスタに格納するための所要時間を、減算試行回数が少なくなっていること、および必要な桁に対する格納動作を行なわせるのみでよいことに対応して減少させることができる。

上記の構成の商レジスタは、格納開始桁を $2^{-(Nb+1)}$ 桁とし、キャリー出力データを格納する毎に格納データをシフトアップさせるようにしているが、キャリー出力データを $2^{(Na-Nb)}$ 桁から順次下位桁に向かって格納する構成とすることもできる。

<発明の効果>

直線補間を行なうに当たって、始終点間の距離に基づいて定まる分割数に相当する回数だけ前記始終点間の変位量の加算を始点側より行ない、このとき終点側の整数 * 20

* 部に誤差を生じない最小の回数に除算器の減算試行回数を変更して、変更した減算試行回数で必要最小限の精度で除算器の減算試行を行なうので、除算所要時間が短縮され、グラフィックディスプレイ装置において大きな負荷となる直線補間のために必要な所要時間を短縮することができるという特有の効果奏する。

特に、商データを予め判明している桁の範囲内に直接格納する構成とした場合には、より一層の高速化を達成することができるという効果を奏する。

10 【図面の簡単な説明】

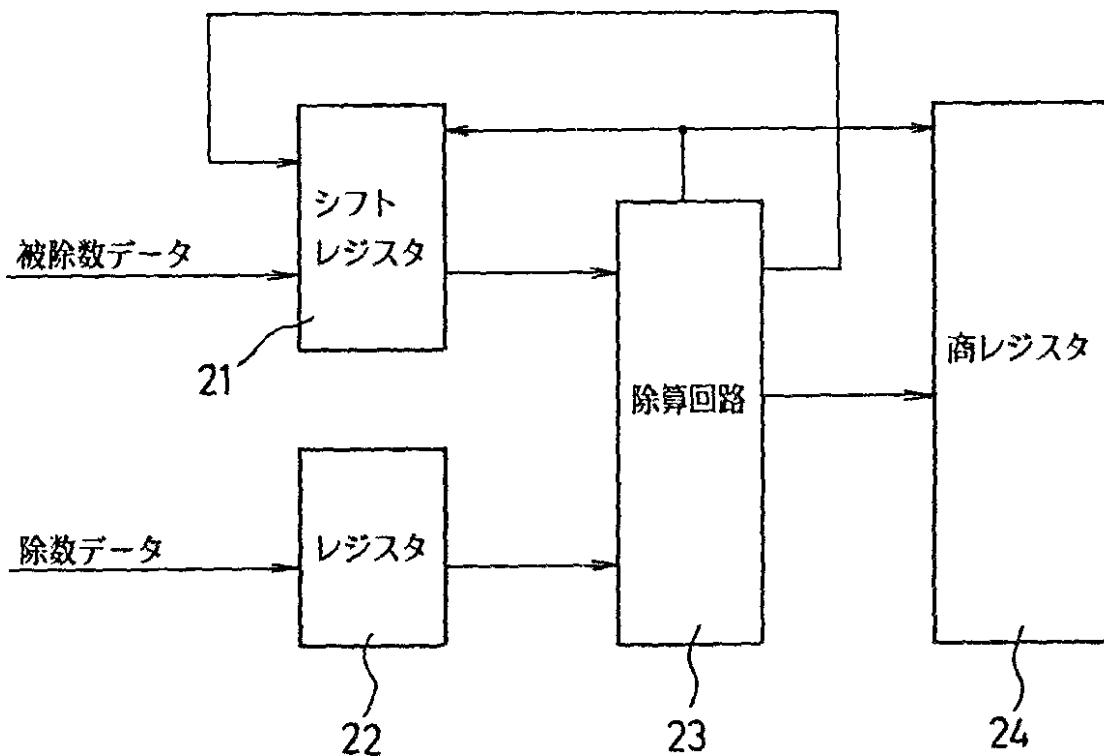
第1図は直線補間器用除算器の一実施例を示すブロック図、

第2図は商レジスタの一実施例を示す電気回路図、

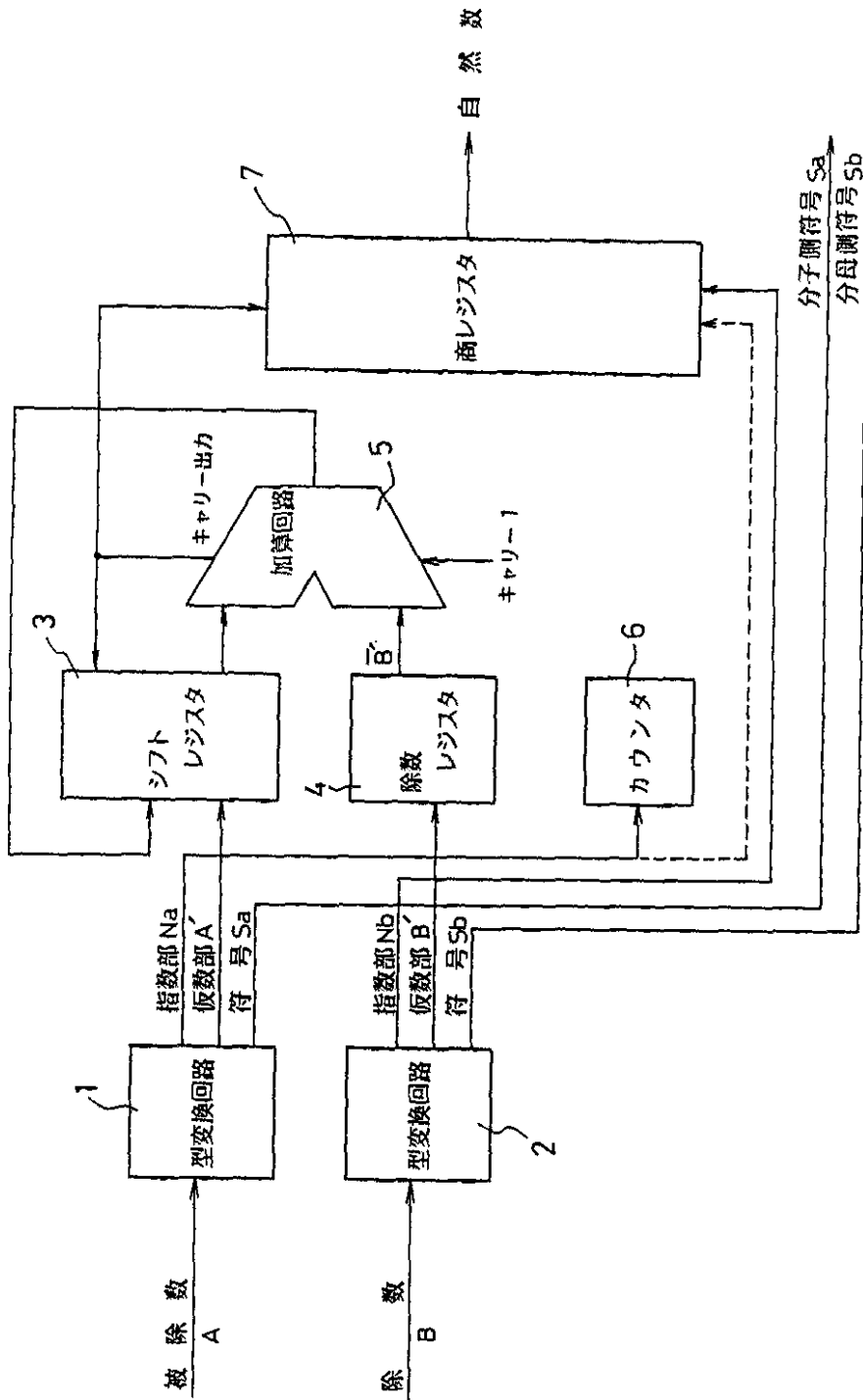
第3図は除算器の従来例を示すブロック図。

(1)(2)...型変換回路、(3)(4)...シフトレジスタ、(5)...加算回路、(6)カウンタ、(7)...商レジスタ、セクタ(8a)(8b)...(8n)、ラッチ回路(9a)(9b)...(9n)、(13)...レジスタ、(14)...デコーダ

【第3図】



【第1図】



【第2図】

